要旨

X線天文衛星「あすか」で使用されている直接撮像型X線用CCDは、その優れたエネルギー分解能と空間分解能の両立により、現在様々な新しい成果を生み出しつつある。しかしその一方で、テレメトリを無駄に消費するホットピクセルの問題や軌道上での校正の難しさなど、改善されるべき様々な問題点も浮かび上がってきた。

X線用CCDは次期X線天文衛星ASTRO-Eにも搭載されることがほぼ確定しており、その衛星搭載品は京都大学を中心に開発されることになる予定である。

本研究では、直接X線撮像型CCDを試験・評価するためのシステムの開発を行った。本システムはCCDを駆動するパターン発生部とCCDからの信号を取り込むAD変換部とで構成されるエレクトロニクス、それらの動作を統括するVMEバス上で動作するワンボードコンピュータ、そこから送られる信号を処理するワークステーション上のソフトウェアと、CCDの動作環境をつくり出す真空槽及び冷却機構、およびX線発生装置から構成される。

今回のシステムを用いての開発対象となるX線用CCDは、今後数年に渡り各部の仕様を詰めながら開発されるものであり、従って現段階ではその駆動方法などは未確定である。よって本システムを設計するにあたっては、駆動するCCDの種類を選ばず、通常CCDの駆動に用いられるあらゆる種類の信号を発生できる様留意した。また、同様の理由でCCDからのデータの取り込みも、その方法の変化に柔軟に対処できるようにした。

今回の報告では、システム全体のうち特にエレクトロニクス部の設計と動作の詳細、各部の動作試験と実際にCCDを駆動した結果、および今後の開発の見通しについて述べる。

ASTRO-E 用 X 線 CCD 評価システムの開発

尾崎 正伸

1994 年 2 月 3 日

もくじ

1 X 線用 CCD と開発目的 **3**

1.1 X 線検出器としての CCD 3

1.2 CCD により期待される成果 5

1.3 新たに CCD を開発する意義 5

1.4 試験装置の開発目標 7

2 システム設計 **9**

2.1 全体の構成 9

2.2 各部の詳細 — 制御部 11

2.3 各部の詳細 — 信号処理系ハードウェア 11

2.3.1 パターンジェネレータ 11

2.3.2 アナログスイッチ 23

2.3.3 CCD マウント基板 24

2.3.4 AD コンバータ 24

2.4 各部の詳細 — ソフトウェア 25

2.5 各部の詳細 — 真空・冷却系および X 線源 27

2.5.1 真空槽 27

2.5.2 冷却系 27

2.5.3 X 線発生装置 30

3 製作と試験手法 **36**

3.1 開発と試験の流れ 36

3.2 アナログスイッチ 36

3.2.1 プロトタイプでの問題点と解決方法 37

3.2.2 アナログスイッチボードの設計とトラブル 39

3.3 データ取り込みと転送 42

3.3.1 CCD 信号シミュレータ 42

3.3.2 データ取り込み試験 43

4 CCD 駆動試験 **45**

4.1 TC213 45

4.2 駆動方法 46

4.3 結果 46

4.3.1 シンクロスコープでのモニタ 47
4.3.2 光を用いた画像取得 49
4.3.3 X 線による画像取得 49

5 今後の課題 **56**

A パターン発生部回路図 **60**
A.1 ハンドシェーク回路 60
A.2 データ I/O 64
A.3 制御回路 64
A.3.1 状態制御部 64
A.3.2 クロック生成部 66
A.4 シーケンス／パターンメモリ 69

B ＣＣＤ駆動部回路図 **73**

第 1 章

X 線用 CCD と開発目的

本研究では、次期 X 線天文衛星 ASTRO-E に搭載される直接撮像型 X 線 CCD の開発に必要となる、CCD 駆動装置とデータ取得装置の開発を行った。以下、CCD 検出器のメリットと新たに開発する意義、及び開発目標とそれに必要となる装置性能について述べる。

1.1 X 線検出器としての CCD

直接撮像型 X 線 CCD 検出器は、微小な半導体検出器を 2 次元に敷き詰めた構造をした素子で、X 線検出に用いると高い位置分解能とエネルギー分解能を同時に得られるデバイスである。その構造は基本的には光学用の CCD デバイスと変わらず、P 型ウェハに形成した CCD (Charge Couples Device) 上に N 型半導体を成長させることでフォトダイオードを形成させ、その空乏層に飛び込んできた X 線光子により生じた電荷を逐次転送・検出して外部に取り出す。この構造のため、一つ一つの入射 X 線光子のエネルギーと位置を同時に知ることができるため、他の波長の天文学では未だ実現されていない三次元分光が可能となっている。

空乏層中で 1 組の電子・正孔対を作るのに必要なエネルギーは約 4eV であり、この値は数 keV の X 線のエネルギーに比べかなり小さいので、空乏層に X 線光子が 1 つ飛び込むと、一定の統計揺らぎを伴ってほぼその光子のエネルギーに比例した数の電子が生じる。この統計揺らぎは CCD 検出器の高エネルギー側でのエネルギー分解能を決定する要素であり、その値は 6.4keV で半値幅が約 120eV となる。この揺らぎは、入射光子のエネルギーが半導体中の電子や半導体結晶のフォノンのエネルギーに分配される過程で生じ、そのエネルギー依存性は入射光子のエネルギーの平方根に比例し、よって生じる励起電子の数に比例する：

$$\frac{\Delta E}{E} = 2.35\frac{\sqrt{FN}}{N}\ (FWHM)。 \tag{1.1}$$

ここで、N は生じた電子の数であり、F はエネルギー分配のプロセスによって定まる比例定数である。この定数を、ファノ因子といい、シリコン半導体の場合で約 0.1 となる。

この他に CCD のエネルギー分解能を決定する要因として、読み出しアンプのノイズによる一定レベルの出力揺らぎがある。これは入射エネルギーに対する依存性を持たず、「あすか」搭載の CCD 検出器系の場合約 60eV となる。実際の CCD 検出器のエネルギー分解

能は、これらの揺らぎの足し合わせで決定される：

$$\Delta E = \sqrt{\Delta E_1^2 + \Delta E_2^2 + \Delta E_3^2 + \ldots}。 \tag{1.2}$$

このエネルギー分解能は、分光結晶を用いた分散光学系による手段を除けば現在 X 線天文学用として用いられている比例計数管の約 1.2eV や蛍光比例計数管の約 760eV 等に比べ、検出器の中で最も優れている。また検出効率の点においても、ガスカウンターには劣るが分散光学系を用いた物に比べるとはるかに高い。

エネルギー分解能の他に、CCD 検出器のもう 1 つの特徴として、高い空間分解能が挙げられる。これは、X 線を電子・正孔対に変換するピクセルのサイズが $20\mu\mathrm{m} \times 20\mu\mathrm{m}$ 程度と小さく、電荷読み出しの時にその位置を特定できるからである。CCD 以上のエネルギー分解能と検出効率を実現し得る検出器として半導体検出器があるが、この検出器は基本的に位置情報は持っていない。この点において、CCD 検出器は他の半導体検出器に比べ明らかな利点を持っている。

これらの利点に対し、CCD の弱点としては時間分解能の悪さが挙げられる。具体的に「あすか」に搭載された検出器群で比較すると、蛍光比例計数管の約 2ms に比べ、CCD では 4 秒と 3 桁の違いが生じている [1]。これは、生じた電荷を逐次読み出していくという原理からある程度避けられないことである。読み出し時間内に 1 ピクセルに二つ以上の光子が入射した場合、このピクセルの電荷が持つ情報は入射エネルギーの総量だけとなり、光子一つ一つの持っていたエネルギー情報は失われる。この場合、CCD は単に入射フラックスを計測する事になる。しかし単位時間当たり入射する光子の数が少なければ、転送方法を工夫して複数のピクセルを一度に読み出すことにより、ある程度時間分解能を上げることができる。じっさい、「あすか」の CCD もこの読みだし方式をサポートしており、この時の時間分解能は 16ms と改善される。しかし、この方法では複数のピクセルの組をあたかも一つの大きなピクセルのように扱うため、空間分解能が犠牲になる。

以上説明したように、直接撮像型の CCD では時間分解能に多少の難点があるものの、入射光子のエネルギーと位置を精度良く直接知ることができる。なお、これとは別に現在民生用として X 線検出に使われている CCD が存在する。一般に、この民生用 CCD は通常の光学用デバイスの前面にシンチレータを取り付けた構造になっており、X 線はそのシンチレータで一度紫外光ないし可視光に変換された後検出される。このため、この型のデバイスのエネルギー分解能はシンチレータにより決定され、また検出効率もシンチレータに左右されることになる。さらに衛星搭載用として用いるには宇宙線によるシンチレータの放射化で生じる雑音の問題を解決しなければならない。

CCD の他に入射光子のエネルギーと位置が同時にわかる検出器として「あすか」衛星で CCD と同時に用いられている位置検出型蛍光比例計数管がある。この検出器と比べると、高いエネルギーでの検出効率と時間分解能、および視野の広さの点では CCD は及ばないが、エネルギー分解能と空間分解能では共に勝っている。このため、今後の CCD の開発では上に挙げた利点を生かしつつ、さらに高感度化、高速化、大面積化を追求する方向へ向かっていくと考えられる。

1.2 CCD により期待される成果

以上述べたようにCCDは高エネルギー分解能と位置分解能を両立しているため、ある程度空間的な拡がりを持った天体を観測する時にその性能が最も良く発揮できる。また、点源の場合でも宇宙背景X線放射の混入を最小限に抑えられる、接近した異種の（あるいは同種の）X線源を分離できるなどのメリットがある。実際、現在稼働中のX線天文衛星「あすか」に搭載されたCCDにより、今まで知られていなかった様々な事が明らかになりつつある。以下、観測対象として考えられる天体の例を挙げる。

超新星残骸 超新星残骸は、超新星爆発により解放されたエネルギーにより生じた衝撃波が放出された物質（ejecta）や星間ガスを励起する現象である。この衝撃波のエネルギーは非常に大きく、その熱化により渡されるエネルギーによりejectaや星間ガスは最終的にほとんど全ての軌道電子を剥ぎとられ、完全電離のプラズマ気体となる。このような衝撃波による衝突電離は実験室中でも観察することができるが、宇宙空間ではガスの密度が極端に薄いため電離の進行が非常に遅く、そのタイムスケールは普通10^4 ～ 10^5年位と考えられている。このため、衝撃波面の進行に伴って次々と電離度の違うプラズマが生じ、空間的な温度構造を持つようになる。プラズマはその電離度や電子温度により様々な輝線を発するので、この様子をCCDを用いて空間情報を伴った高いエネルギー分解能で観察することにより実験室では一瞬で終了する高温プラズマの挙動をつぶさに観察することが可能になる。

銀河団 銀河団は過去の観測によりその星の質量をはるかに上回る量の高温プラズマを持つことが知られている。このガスの起源を知る事は、銀河団の進化を知る上で重要な手がかりとなる。この観測にCCDを用いることにより銀河団中のガスや元素の分布を知ることができ、またその電離度からガスが高温に励起されてからの経過時間を推測することができる。これらの情報により、銀河団に関する研究にさらに発展が期待される。

星形成領域 恒星や原始惑星系が形成される過程は、現在まだ良く判っていない。しかし、これらが形成される際には激しくX線を放射することが示唆されており、実際今までの観測で星形成領域から時間変動を伴うX線放射が確認されている。星形成領域の観測でCCDを使うことにより個々のX線源の分離が可能となることから、星形成理論の確立の大きな助けになると考えられる。

この他にも渦巻銀河や楕円銀河、活動的銀河中心核やクェーサー等様々な観測対象が考えられ、これからのCCDを用いた観測に期待が持たれる。

1.3 新たにCCDを開発する意義

上で述べたように、現在「あすか」では既に直接X線撮像型CCD検出器が用いられているが、その性能についてはまだ改善の余地があり、また打ち上げ後様々な不都合が表面化している。それらについて、以下列挙する。

有感エネルギー範囲と検出効率 「あすか」搭載のSISは、現在主に2つの要因でその有感エネルギー範囲をそれぞれ低エネルギー側と高エネルギー側で制限されている。それ

それの要因は、共にX線の物質中での平均飛程のエネルギー依存性が極めて大きい事に依っている。

低エネルギー側の制限要因は、CCDに付随する転送電極とその保護膜での入射X線の吸収である。この吸収は、CCDの有感エネルギー範囲全域に渡り感度低下の原因となっている。この構造は、CCDの転送に不可欠のものであるが、電極の表面積を小さくできるバーチャルフェーズ機構（第2.3.1節参照）を用いたり、通常十数μmの厚みがある保護膜を可能な限り薄く作ることによってかなり改善でき、事実「あすか」搭載のCCDはこのアプローチにより低エネルギー側の感度を向上させている。また、全く別のアプローチとして転送電極等の無いチップの裏側に検出部を作る裏面照射方式も提案されている。

高エネルギー側の制限要因は、高エネルギーの光子が検出器の有感領域では僅かしか止まらないことである。高エネルギー光子の貫通力はCCDの厚みに比べ大きく、よって低エネルギー側のように転送電極等での吸収は事実上無視できるが、同時にX線を検出する検出部の空乏層でもほとんど吸収されなくなり、飛来する光子のほとんどを取り逃がす事になる。これを改善するためには空乏層を厚くする必要があり、そのためには検出部のバイアス電圧を高めたり材料半導体の比抵抗を高めれば良い。この方法も「あすか」搭載のCCDで採用されている。

ホットピクセル 「あすか」打ち上げ前はそれほど問題視されなかったが、打ち上げ後に問題が発覚した物の一つにホットピクセルがある。これはCCDの中で周囲のピクセルに比べて無信号時の出力（ダークレベル）が異常に高いピクセルであり、データ処理時に無信号時のレベルとして他の普通のピクセルの値を使っていた場合、常にそのピクセルにX線によるイベントが生じているように見える。このピクセルの存在は、人工衛星等の十分にメモリが持てずしかも地上に送れるデータが限られている場合に特に問題になる。じっさい、「あすか」でも衛星の状態が思わしくない時にはテレメトリがホットピクセルで埋まってしまい、意味のあるデータがほとんど送られてこないという障害が発生している。「あすか」打ち上げ後の様々な調査で、このホットピクセルは常に高い信号レベルを保持するとは限らず現れたり消えたりすること、時間と共に増加傾向にあり、またチップの温度が高いほど数多く見られることがわかってきている。

電荷転送効率の低下 人工衛星上のCCDは常に高エネルギー粒子線の照射に曝されるため、時間と共に被曝による性能劣化が生じてくる。この劣化の一つに、CCDの電荷転送効率の低下がある。CCDはその原理上X線により生じた電荷が外部にとり出されるまでに平均1000回程度半導体中を転送されるため、この転送効率が低いとCCDの各部で生じた同量の電荷が転送路の終端で取り出される時にはその量にばらつきが生じることになる。このことは、同一エネルギーの入射光子に対する出力がCCDの場所毎に異なることを意味する。

現在製造されているCCDのこの転送効率は極めて良く、CCDの場所毎によるゲインのばらつきはほとんど無いと言って良い。しかし、前述の被曝により、打ち上げ前に予想された量以下ではあるが「あすか」でも実際に転送効率の低下が確認されている。この劣化は被曝による半導体結晶の乱れが原因と考えられており、そのためこれ

を少なくするための技術として転送路を狭める等の方法が提案されている。

温度によるダークレベルの変動 「あすか」打ち上げ後に初めて見つかった現象の一つに、温度によるダークレベルの変動がある。これは、地球周回にともない衛星が太陽に対して地球の影に隠れたり現れたりする毎に生じる温度変化に伴い発見された。この変動によりCCDの出力がX線エネルギー換算で数eV生じ、超新星残骸等の高温プラズマを議論する際の障害となる[1]。これについては、打ち上げ前に実験室でチップ温度との関連をきちんと調べる必要がある。

チップによる感度のばらつき 同じく「あすか」打ち上げ後に発覚した不都合に、チップによるエネルギーゲインのばらつきがある。これは著しいケースではチップ同士で10%以上も異なり、エネルギー校正作業の障害となっている。ASTRO-Eでは「あすか」以上の数のCCDの搭載が計画されており、よって打ち上げ前の地上校正もさることながらチップ製造段階でのばらつきもできる限り押える必要がある。

これらの欠点は、いずれもチップ構造やデータ処理の工夫でまだ改善の余地があると考えられており、またそれぞれの不都合はデータ品質を著しく悪化させ、地上での校正作業を難しくしている。このことより、次期衛星には新たにCCDを初めから開発し、その特性を完全に把握することが重要と考えられている。

1.4 試験装置の開発目標

以上挙げたように、ASTRO-Eに向けて新たなCCDチップの開発は不可欠の事柄である。そして、その開発作業のかなりの部分は実験室でのチップの性能確認と各種校正作業、およびデータ処理方法の開発に当てられる事になる。よって、チップ評価と試験のための専用装置群を構築することが不可欠となる。冒頭で述べた通り、本研究では今後開発される様々なプロトタイプのCCDを様々な外部条件下で駆動し、データを取得する装置を開発した。

以下、開発の際に目標とした点を述べる。

CCD駆動系とデータ解析系の分離 従来開発されてきた各種のX線CCD駆動装置では、CCDを駆動するパートとそのデータを解析するパートが明確に区別されていなかった[3]。今回開発した装置では、駆動されたCCDの各種データ収集までを念頭に置き、今後予想される機能拡張や仕様変更等の要請に対しても柔軟に対応できることを目指した。

ハードウェア・ソフトウェアのモジュール化 同様に機能拡張や仕様変更に対する柔軟性を持たせるため、装置を構成する各部ハードウェアやソフトウェアの役割を明確にし、各部に独立性を持たせた。これにより、将来の拡張性ばかりでなく構成の明確化による保守性の向上や第三者に対する理解のし易さに留意した。この事は、今後長期に渡り多くの人間がCCD開発に関わることを考えると、CCDの評価・開発効率の向上に有効と思われる。

[1] 幸いにも、「あすか」ではダークレベルの変動を知る方法があったので、致命的な障害にはならなかった。

各種の CCD チップに対応できる これから開発するチップを評価するための装置であるから、CCD の駆動方式や定格等は現時点では全く定まっていない。また、開発が始まってからもより良いデバイスにするためにしばしばその方式が変更されることも予想される。これに対応するため、様々な方式の CCD 駆動信号や出力信号に対応し得るシステムとした。

全機能・パラメータの CPU からの一括制御 第 1.3節で挙げた通り、今後のチップ開発では外的条件を様々に変化させて多種多様なデータを取ることが予想される。これに円滑に対応し開発・試験効率を高めるため、将来的には温度等の外的条件の制御やデータ収集も全てコンピュータで一括管理・収集することを念頭に置いて開発を進めた。

次章では、これらの目標を達成するための具体的な装置群の構造と性能について述べる。

第 2 章

システム設計

本章では、今回製作したCCD試験装置の構成と動作の詳細を示す。併せて、それぞれの部分の性能を必要としたCCDの駆動および読み出しでのキーポイントを示す。

2.1 全体の構成

今回製作した装置全体の構成図を**図.2.1**に示す。

CCDはそのデータ量の多さから、データを読み出す際には多くの信号線を一定の規則に従って駆動しなければならない。そのため、CCDからのデータを読み出す際には制御用CPUから始まって再びCPUに戻ってくる信号の流れができる事になる。

従来の装置では、この制御用CPUと得られたデータを処理するCPUとの区別が曖昧であることが多く、またCPUを制御するOSも非コンカレント[1]なものが多かった。そのため実際にCCDを評価する際には一度ハードディスク等のマスストレージデバイスにデータを落したり、1フレーム毎にデータ取得を止める必要があった。

今回製作した装置では、高速CPUボードとコンカレントOSを制御中枢として用いる事により、取得したデータを即座にEthernet経由で他の処理装置に転送する事が可能となった。この様に制御用CPUとデータ処理用CPUとを明確に区別することにより制御部のカプセル化[2]が可能となり、制御部全体をあたかも一つのインテリジェントセンサのように扱う事ができる。これにより、必要に応じてデータ処理部を変更できる柔軟なシステムとなった。

また、この処理系の分離によりデータを取得しながら同時にモニタや解析が可能となり、各種条件を頻繁に変化させて実験する際の作業能率の大幅な向上が見込まれる。

本装置を設計するにあたっては、可能な限り機能を分割し、それぞれをモジュール構成とする事を念頭に置いた。この方法の特長は、必要に応じて性能や機能の変更が容易にできるようになっている点である。このモジュール化はまた、各機能単位での動作チェックを容易にし、万一トラブルが起きた時でもそれへの容易な対処を可能にする。

以下、各モジュールの詳細を**図.2.1**に沿って示す。

[1] 複数のコマンドを同時に実行する事。最近まで、パソコンレベルのCPUで使用できるコンカレントOSは非常に少なかった。

[2] システムを構成する要素を、必要最小限の制御命令を除いてすべて非可視化すること。これにより、その要素を使用するのにその内部構造まで知る必要が無くなる。

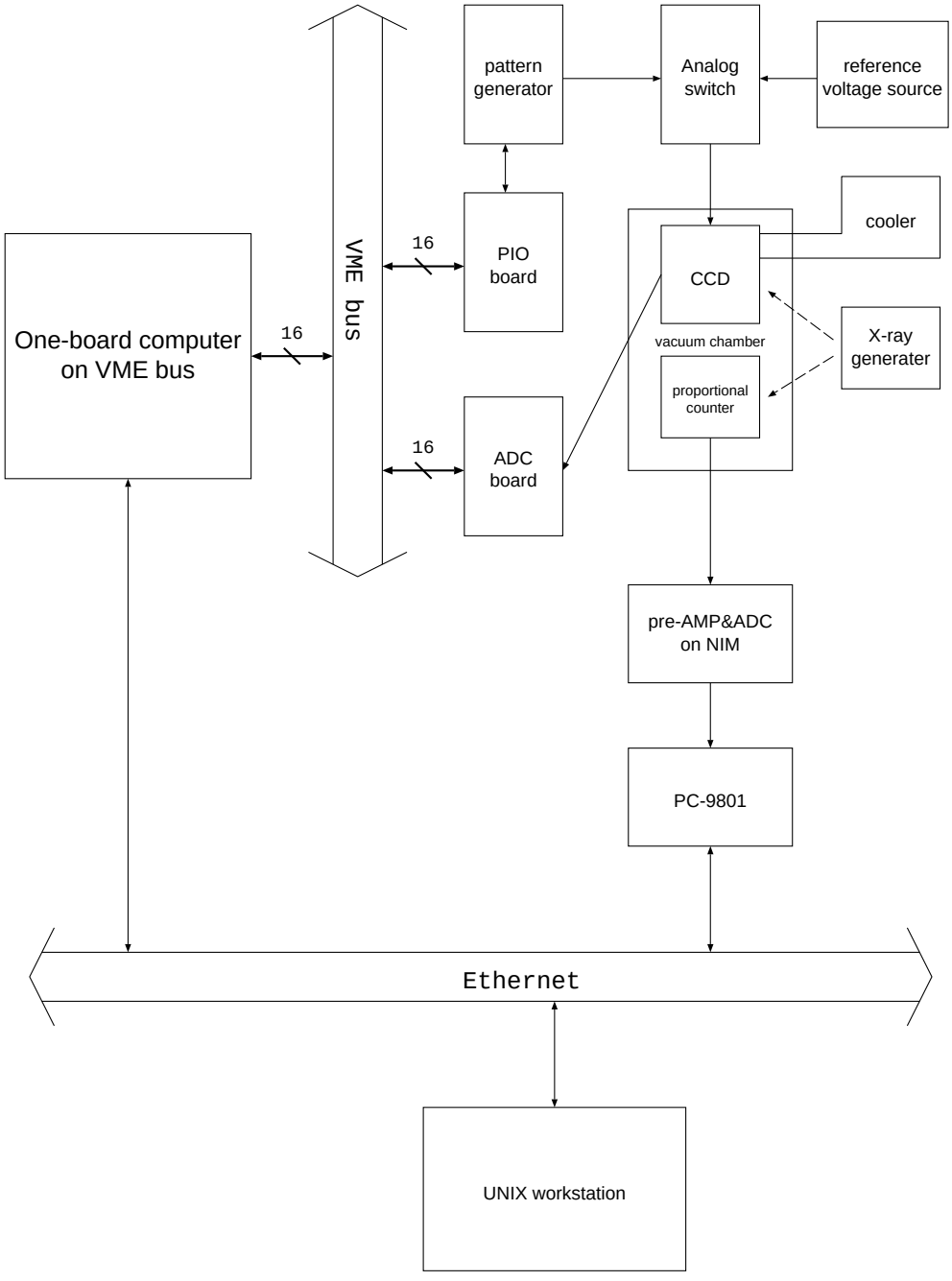


図 2.1: 今回製作した装置の全体図

2.2 各部の詳細 — 制御部

制御部としては、（株）アバールデータの「AVME-140-1」を用いた。これは、CPU としてモトローラ社の MC68040(25MHz) を持つ、VME バス上で動作するワンボードコンピュータである。この CPU（以下、モトローラ社の呼び方に倣って MPU とする）は、組み込み制御用として多くの実績を持つ MC68000 ファミリの最上位品種であり、その処理能力は一時はワークステーションの中枢として使われたほどの力がある。

このボードには、外部とのインターフェースとして PIO、2 チャンネルの RS-232C ポートの他に、オプションとして 10BASE5 の Ethernet ポートが搭載可能である。今回はこの Ethernet ポートを用いて外部のデータ処理用 CPU との間のデータ受渡しを行った。また、装置全体の制御もこのポートを通じて行った。

記憶装置としては、ボード上に搭載されている 16MBytes の他に、VME バス上に 32MBytes のメモリーボードを搭載している。これにより、CCD の大量のデータを滞りなく処理することができる。実際の運用においては、これらのメモリのうち 30MBytes 程が使われる事になる。

制御用 OS としては、マイクロウェア・システムズ社の OS-9/68000 を用いた。実際には、これに（株）アバールデータが手を加えた OS-9/68040 を用いている。この OS はソフトウェアのコンカレント実行が可能であり、それに伴ってプロセス間の各種のデータ受渡しをサポートしている。このため、今回の装置の様に制御部が複数の機能（制御信号の出力、データの取得、データの転送）を同期を取りながらこなす場合でも容易にシステムが構築できる。また、UNIX と違い仮想メモリを使用しないため、外部のハードウェアへのアクセスも容易である。さらに、外部のハードウェアからの割り込みに対する応答時間の最大値が保証されている（リアルタイム OS）ため、制御用として使い易いものとなっている。

今回の装置では、制御部を 3 つのモジュール — 制御信号出力部、データ取得部、データ転送部 — に分割して開発を行った。それぞれの動作の詳細は第 2.4節で示す。

2.3 各部の詳細 — 信号処理系ハードウェア

ここでは、実際の CCD 駆動とデータ読み込みに関わるハードウェアモジュールの詳細を、信号の流れに沿って解説する。また、それぞれのモジュールの仕様を決定した CCD の動作の詳細をも併せて解説する。

2.3.1 パターンジェネレータ

CCD は、複数の信号線路に一定の規則に従った信号を繰り返し供給することにより駆動される。これらの信号は、いくつかの電圧を組合せた階段波やスロープ波である。このため駆動信号の情報量は本質的にそう多くなく、従ってそれを作り出すために数チャンネルのデジタルファンクションジェネレータと、その信号を受けて出力電圧を切替えるアナログスイッチがあればよい。

ビデオカメラなど一般に使われる CCD 駆動回路ではターゲットとなるチップが決まっており、そのため駆動パターンをつくり出すデジタル部はターゲットチップの駆動専用に

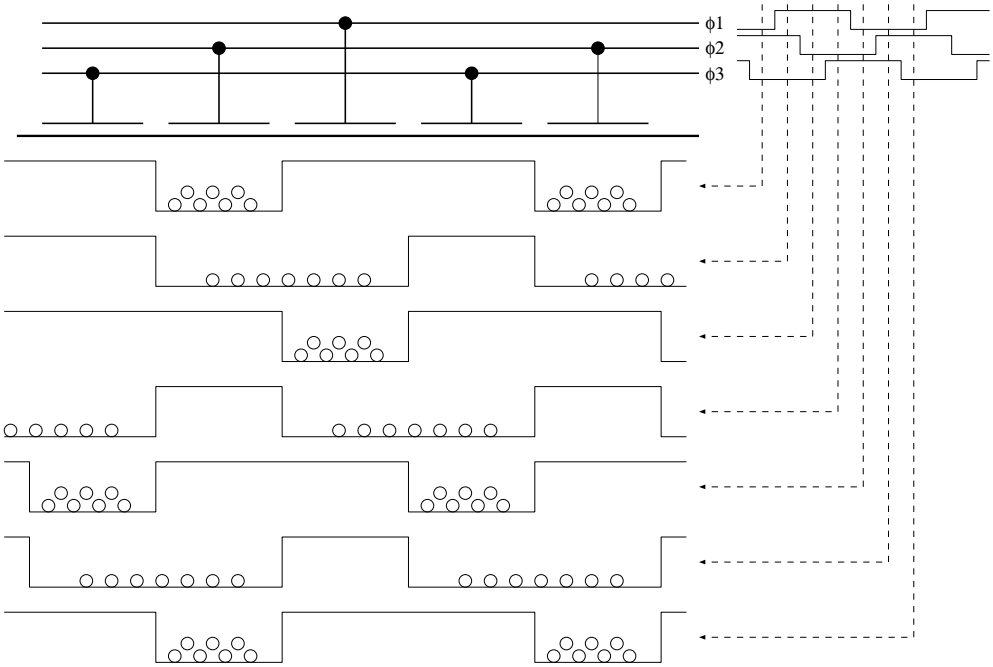


図 2.2: 3 相方式の電極構造と駆動信号、およびそれに対応した内部でのポテンシャルと電荷の分布

開発された IC を用いることが多い。しかし、今回の装置では ASTRO-E で用いる CCD の開発を念頭に置いており、そのチップの駆動方式が確定している訳ではないので、様々な組合せの信号を柔軟に発生できる装置を開発する必要があった。そこで、今回は新たに CCD 駆動に特に重きを置いた汎用デジタルファンクションジェネレータを開発した。

以下、まず CCD の動作原理を元にパターンジェネレータに要求される性能を示し、次にそれを満たすための実際の構造とその動作の詳細を解説する。

CCD の動作と要求性能

CCD は、電極による静電ポテンシャルにより半導体中に局所的に電子を保持し、電極電位を変化させることによりその電子を別の場所へ移動させる素子である。この動作原理は 1 次元素子でも 2 次元素子でも変わらないが、電極の配置方法にいくつかの方式があり、その違いが CCD を駆動する方法の違いとなって現れる。

以下、いくつかの代表的な電極配置と駆動方式について説明する。

3 相方式 **図.2.2**に示すような電極構造を持った CCD である。この方式では、転送路は 3 組の転送電極群から構成され、位相の異なった 3 組の駆動信号を印加することにより転送を行う。この方式は、後に挙げるバーチャルフェーズ方式や 2 相駆動方式に比べ必要とする駆動線が多いという欠点があるが、駆動クロックの印加方法により転送方向を制御できるという利点がある。転送方向の制御のためには 3 組以上の転送電極があれば良いので、製品化されているチップには駆動クロックの作り易い 4 相方式としているものもある。

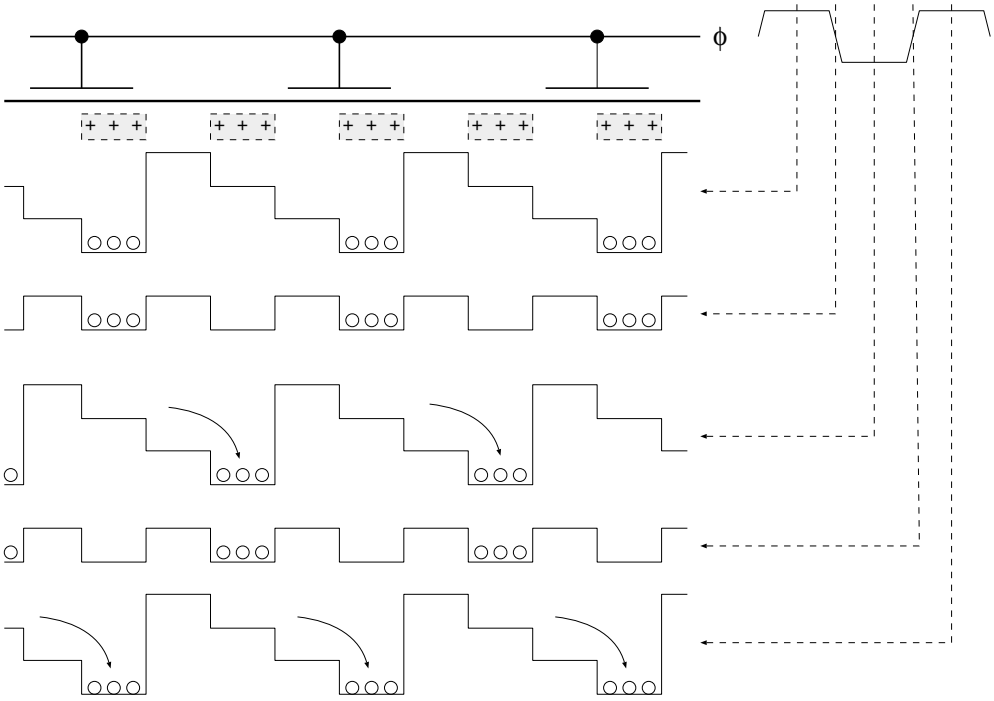


図 2.3: バーチャルフェーズ方式の電極構造と駆動信号、およびそれに対応した内部でのポテンシャルと電荷の分布

バーチャルフェーズ方式 テキサス・インスツルメンツ社が特許を持つ方式で、転送電極が 1 組で良いという利点を持つ。電極構造と駆動クロック、および駆動原理を**図.2.3**に示す。この構造の特徴は、転送路の一部に不純物をドープすることにより、電極下に電位勾配を設けた事と、それにより転送路上に電極の無い部分ができた事である。この方式はその構造上電子を 1 方向にしか転送できず、またその駆動クロックの 2 つのレベル間のスロープが一定の傾きに制限される事がある等の欠点を持つが、前述の通り転送電極は 1 組で良く、また転送路の半分は表面に露出しているため、特に光電面以前の電極等での光子吸収が感度低下の主因となる軟 X 線領域で感度が向上するという利点を持つ。

2 相方式 転送路の一部に不純物をドープしている点はバーチャルフェーズ方式と同じだが、転送路は全て電極で覆われている。構造と駆動信号を**図.2.4**に示す。この方式は軟 X 線での光子吸収は 3 相方式と変わらないが、駆動クロックは 2 組の逆位相の方形波で良く、そのため駆動が容易であるという利点を持つ。

以上示したように、CCD の種類によって必要とされる駆動クロックの数や性質がかなり異なる。

また、このパターンジェネレータでは、CCD からの信号をサンプリングするタイミングを AD コンバータに知らせる信号も同時に作る。このサンプリングは普通 1 画素につき無信号時と信号出力時の 2 回行われ、その差をもって CCD の出力とする（相関二重サンプリング）が、このタイミングを工夫する事により目的の信号以外のランダムノイズ等の

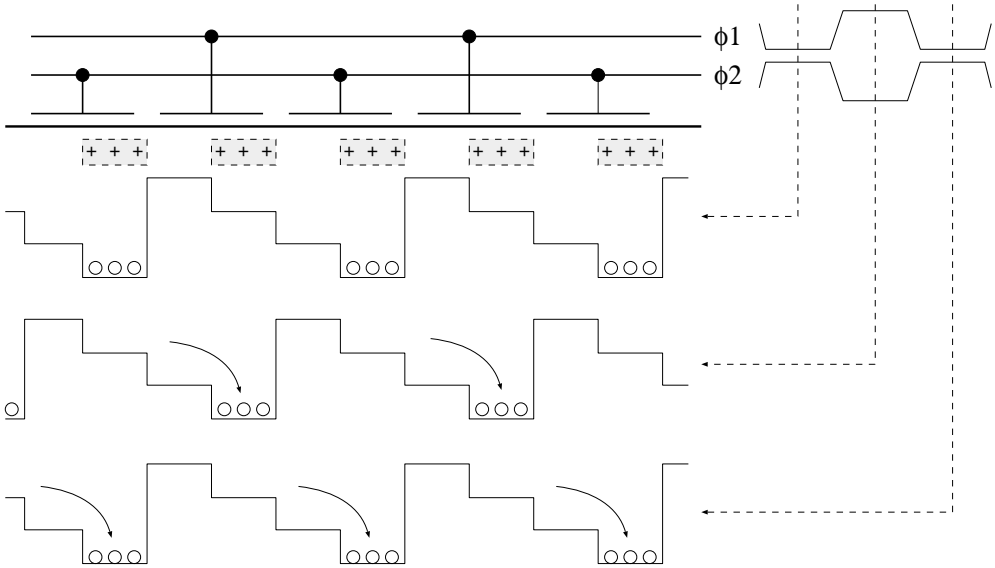


図 2.4: 2 相方式の電極構造と駆動信号、およびそれに対応した内部でのポテンシャルと電荷の分布

軽減を図る事ができる。以下、その方法について簡単に示す。

相関二重サンプリングとノイズの低減　一般的な相関二重サンプリングのタイミングを**図.2.5**に示す。CCD からのデータを読み出す場合、相関 2 重サンプリングは無信号時の出力（float level）と信号出力（signal level）との差を取る事により出力のオフセットの影響を無くすという側面が強いが、その他に信号の通過帯域を制限し、ランダムノイズの影響を減らすという機能がある。

いま、サンプリング間隔を Δt とする。この時、相関 2 重サンプリングは

$$g(t) = \delta(t) - \delta(\Delta t) \tag{2.1}$$

という応答関数で表せる。この応答関数の周波数特性は、これにフーリエ変換を施すことによって得られ、

$$\begin{aligned} F(t) &= \int_{-\infty}^{\infty} g(t) e^{2\pi i f t} dt & (2.2)\\ &= 1 - e^{2\pi i f \Delta t} & (2.3)\\ &= 2e^{\pi i f \Delta t} (\sin \pi f \Delta t) & (2.4) \end{aligned}$$

より、雑音源としてホワイトノイズを仮定した時のノイズ電圧のスペクトルは

$$|F(t)| = 2\,|\sin \pi f \Delta t| \tag{2.5}$$

となる。このスペクトルを、**図.2.6**に示す。

以上の説明ではサンプリング回数は 1 画素につき 2 回だが、この回数を増やす事によりノイズ通過帯域をさらに狭める事ができる。例えば、**図.2.7**の様にサンプリング回数を増

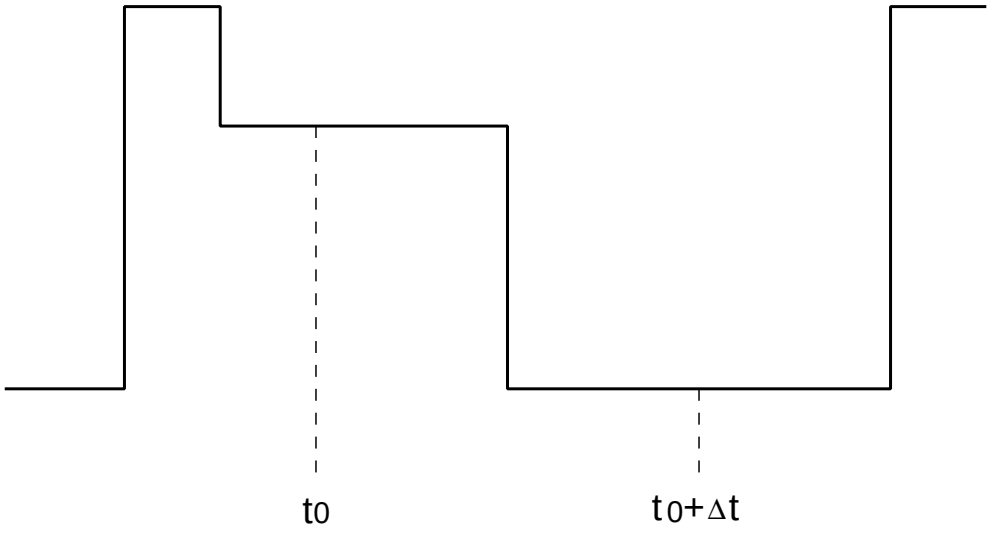


図 2.5: 相関 2 重サンプリングのタイミング

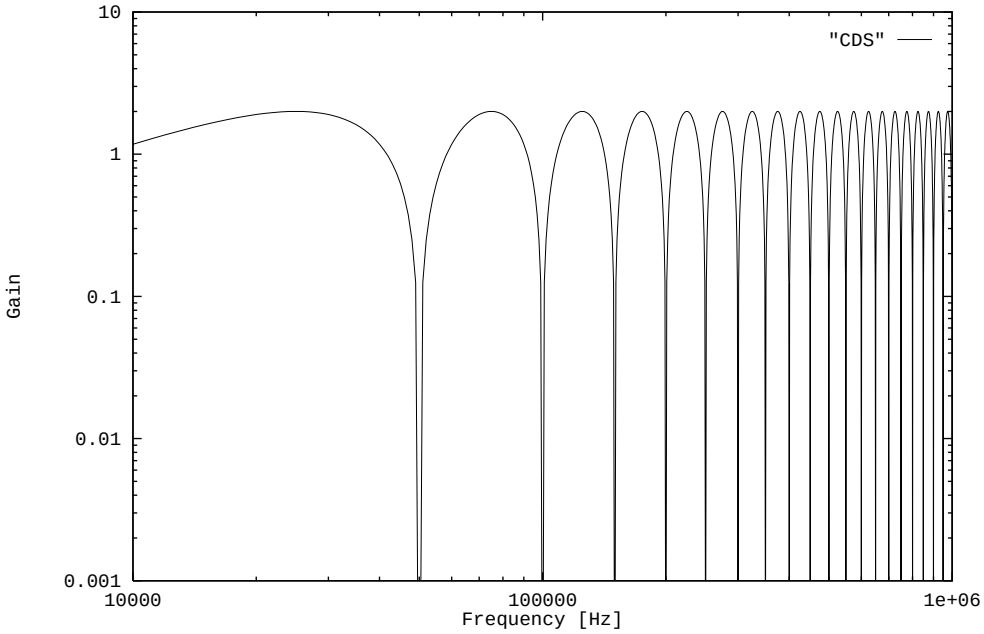


図 2.6: 相関 2 重サンプリングを通過した後のホワイトノイズのスペクトル。ここで、サンプリング間隔は 20μs とした。

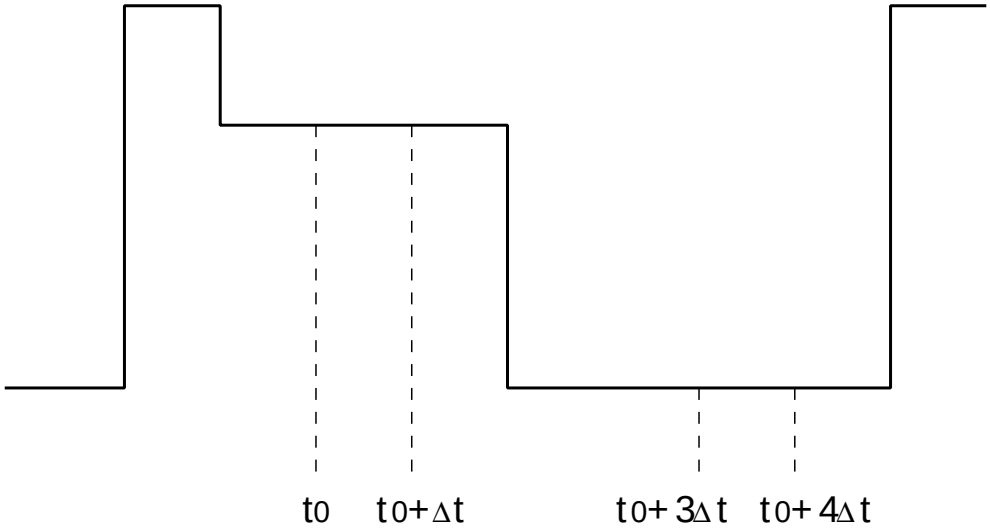


図 2.7: 4 回サンプリングのタイミングの例

やしたとする。この時の応答関数は

$$g(t) = \frac{1}{2}\{\delta(t) + \delta(t+\Delta t) - \delta(t+3\Delta t) - \delta(t+4\Delta t)\} \tag{2.6}$$

であるから、

$$\begin{aligned} F(f) &= \int_{-\infty}^{\infty} g(t) e^{2\pi i f t} dt & (2.7) \\ &= e^{-4\pi i f \Delta t}(\sin 2\pi f \Delta t + \sin \pi f \Delta t) & (2.8) \end{aligned}$$

となり、ノイズ電圧のスペクトルは

$$|F(f)| = |\sin 2f\Delta t + \sin f\Delta t| \tag{2.9}$$

となる。このスペクトルを $t = t_0$ と $t = t_0 + 4\Delta t$ のタイミングでサンプリングした相関 2 重サンプリングの場合と併せて**図.2.8**に示す。一見して明らかな様に、サンプリング回数を増やす事によりノイズスペクトルが変化している。

実際のノイズ電圧は、相関 2 重サンプリングを n 回行うことによって $\frac{1}{\sqrt{\mathrm{n}}}$ にすることができる。これは、信号成分が n 回の重ね合わせで振幅が n 倍になるのに対して、ランダムノイズは $\sqrt{\mathrm{n}}$ 倍にしかならないためである。

このように、サンプリング方法を変える事により信号通過帯域特性を変化させられ、またランダムノイズの影響を低減できる事を考えると、衛星搭載の周辺回路を開発する際にサンプリングクロックも柔軟に変化させられなければならない。

以上で挙げた動作を実現するために、パターンジェネレータには次の様な性能が要求される。

出力パターンを必要に応じて柔軟に切替えられること 先に示したように、CCD を駆動する信号はチップの種類によって様々に異なり、またその出力をサンプリングするトリ

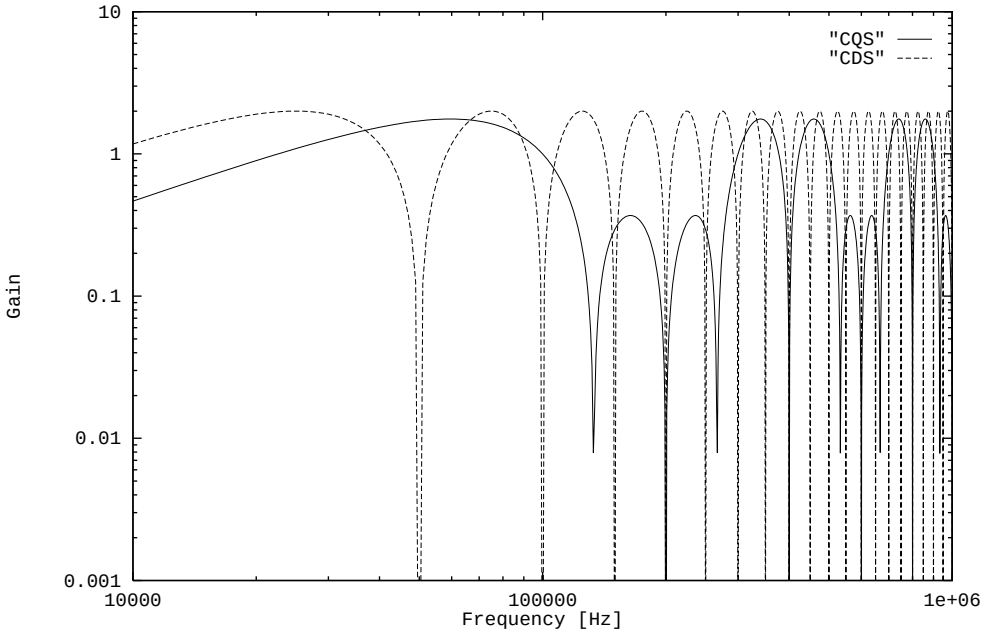


図 2.8: **図.2.7**のタイミングによるサンプリング後のホワイトノイズのスペクトル。$\Delta t = 5\mu$s とした。実線が 4 回サンプリング時のスペクトルを表す。

ガも種々の方法が考えられる。よって、ジェネレータが出力するパターンは必要に応じて柔軟に組み換えられなければならない。

複数種の駆動信号を切替えて出力できること CCD の動作は基本的に電極へ加える電圧を変化させて電子を動かすものであるから、その電圧の加え方次第で画素中の不必要な電荷を除去したり（空読み）一部の画素だけを高速で読み出したりする事ができる。とくに空読みは、熱励起による電子を除去するため CCD の動作を始める直前に必ず行われるので、ジェネレータは空読みと通常読み出しのパターンを素早く切替えられなければならない。このため、ジェネレータには複数種の駆動パターンを登録できる必要がある。

読みだし速度の 10 倍程度のクロックが出せること ジェネレータは駆動パターンと同時に CCD 出力のサンプリング信号も生成しなければならないため、出力パターンの最小時間単位（1 ステップ）は画素の読みだし周期よりかなり短くなければならない。例えば、**図.2.7**で示したタイミングで 1 画素あたり 4 回のサンプリングを行うとすれば、1 画素の読みだし周期は 8 ステップから構成される。

これらの要請を元に、**図.2.9**に示すような構造のデジタルファンクションジェネレータを開発した。以下、その構造と動作について述べる。

構造と動作の詳細

今回開発したジェネレータの構造的特徴は、以下のようになる。

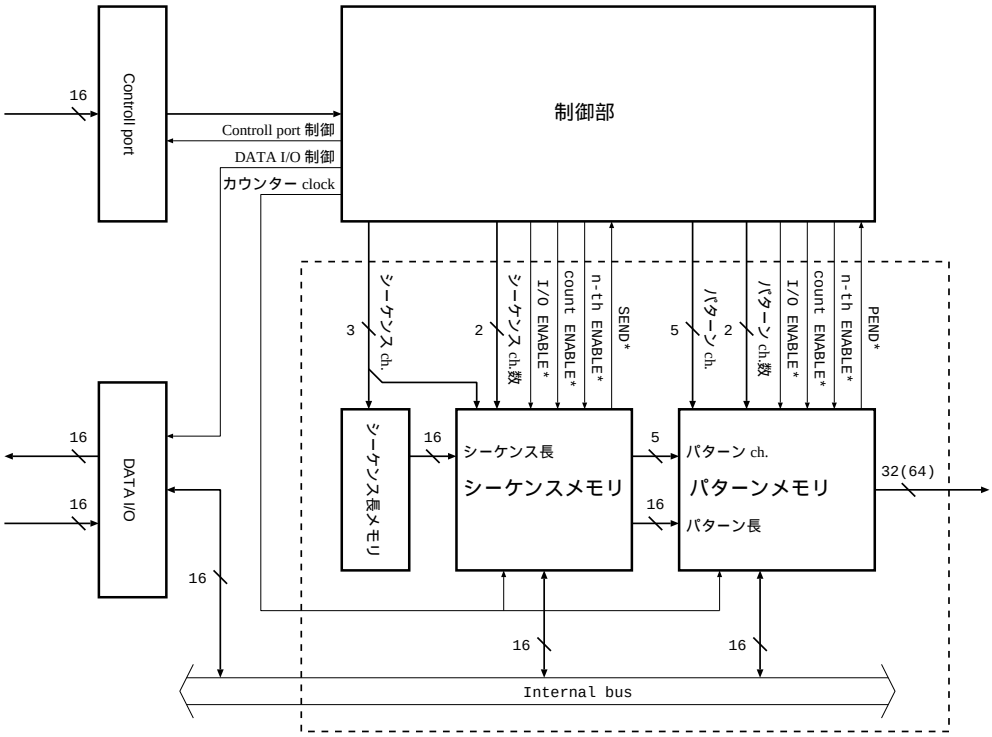


図 2.9: パターンジェネレータのブロック図

2 段構成のメモリによるパターンの生成 一定の規則にしたがってデジタルパターンを生成する方法としては、パターン生成専用の CPU や DSP を基板に搭載し、プログラムに従って必要なパターンをリアルタイムで生成する方法と、メモリ上にあらかじめパターンを蓄えておき、それを必要に応じて再生する方法とが考えられる。前者はプログラム次第でどのような信号でもつくり出せるという利点があるが、パターン展開に時間がかかるのであまりクロック速度を上げられないという欠点がある。それに対して、後者は高速性において前者に勝るが、パターンを全てメモリ上に格納しておかなければならないため、膨大な量のメモリが必要となるという欠点がある。

今回の装置では、後者のメモリにあらかじめパターンを登録しておく方法を採用した。これは、前述した通り CCD の駆動信号は基本的に単純なパターンの繰り返しであるので、駆動信号をつくり出すには基本的ないくつかのパターンを記憶しておけば良く、よって上に挙げた欠点が深刻な問題にならないという事による。

実際に用いたメモリは、基本的なパターン群（以下、この節では単に「パターン」とする）の記憶に 1MBits S-RAM を、パターン群の組合せ（以下、この節では「シーケンス」とする）の記憶に 512KBits S-RAM を用いた。これらのデバイスにより、32Kwords × 4 ～ 4Kwords × 32 パターンと 64Ksteps × 1 ～ 8Ksteps × 8 シーケンスが記憶可能である。このようにシーケンスメモリも分割して使うことにより、複数の駆動方法を記憶することを可能としている。

外部クロックによるクロックスピード決定 CCD の出力信号の品質は読みだし速度により変化するため、最適のドライブ条件を探るためにはクロックスピードを可変にする

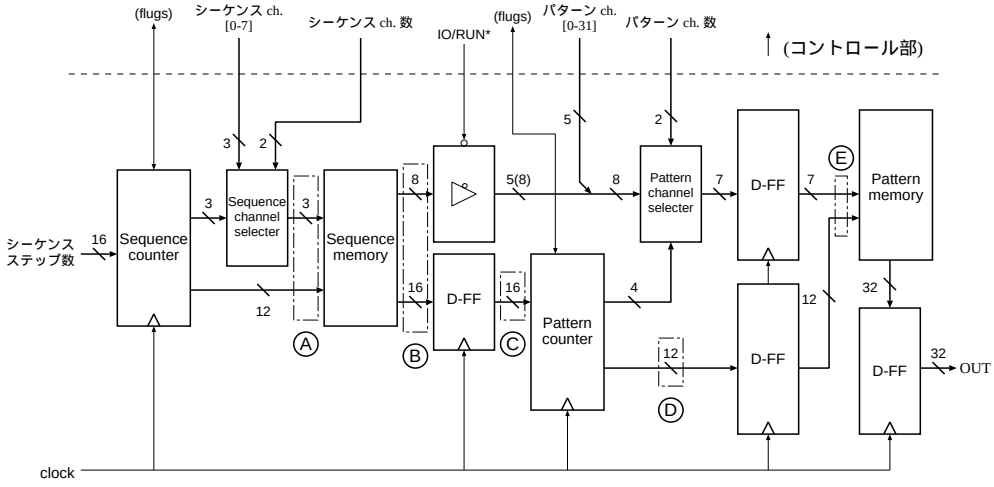


図 2.10: 記憶部のブロック図

必要がある。このため、パターン生成のための基準クロックは外部から入力することにした。読みだし速度の上限は、メモリ制御用の回路を同期式回路にすることにより事実上メモリの読みだし速度で決定される。ここでは、リフレッシュの必要な D-RAM の使用を避け、大容量の S-RAM を用いた。この高速化を念頭においた設計により、5MHz という高速のクロックサイクルを実現した。なお、この値は現在配線の引き廻しによる干渉等で決まっており、基板上の部品配置の見直しにより 10MHz 程度まで動作速度を上げられると思われる。

以下、記憶部と制御部とに分けて動作の詳細を示す。

記憶部　記憶部のブロックダイアグラムを**図.2.10**に示す。この図に示す様に、記憶部はシーケンス記憶用メモリ、パターン記憶用メモリ、およびそれらのアドレスを指定する 2 つのカウンタからなる。シーケンスとパターンの長さは、それぞれ専用メモリとシーケンスメモリに記憶される。

シーケンスメモリは、512Kbits S-RAM を 3 個用いて、24bits のデータ幅を持つ。これらのうち、現在 5bits をパターン番号（0 〜 31）の指定用に、16bits を指定したパターンの長さ記憶用として用いている。実際に出力される信号は、必要なパターンの種類と長さを必要な回数だけシーケンスメモリに書き込むことによって得られる。シーケンスの長さ即ち繰り返されるパターンの数は、別のメモリに 8 つのシーケンスそれぞれ独立に記憶される。

シーケンスメモリには再生するパターンの長さをシーケンス 1 ステップ毎に指定できるので、あるパターンの初めの方だけを再生するといった事が可能である。また、パターンの長さとしては 64Kwords（$65536 = 2^{16}$words）までが指定可能であるが、実際に記憶できるパターンの長さは最大 32Kwords であるから、パターンアドレスの指定にはパターンカウンタの出力のうち下位の方から必要な長さだけが使われることになる。

パターンメモリには、1M(4M)bits S-RAM を用いる。ワード幅は用いるチップの個数

4Mbits RAM	bit	1Mbits RAM
ADD_{13}	18	—
ADD_{12}	17	—
NUM_0	16	NUM_0
NUM_1	15	NUM_1
NUM_2	14	NUM_2/ADD_{14}
NUM_3/ADD_{15}	13	NUM_3/ADD_{13}
NUM_4/ADD_{14}	12	NUM_4/ADD_{12}
ADD_{11}	11	ADD_{11}
ADD_{10}	10	ADD_{10}
ADD_9	9	ADD_9
ADD_8	8	ADD_8
ADD_7	7	ADD_7
ADD_6	6	ADD_6
ADD_5	5	ADD_5
ADD_4	4	ADD_4
ADD_3	3	ADD_3
ADD_2	2	ADD_2
ADD_1	1	ADD_1
ADD_0	0	ADD_0

パターンメモリ

bit	
14	NUM_0/ADD_{14}
13	NUM_1/ADD_{13}
12	NUM_2/ADD_{12}
11	ADD_{11}
10	ADD_{10}
9	ADD_9
8	ADD_8
7	ADD_7
6	ADD_6
5	ADD_5
4	ADD_4
3	ADD_3
2	ADD_2
1	ADD_1
0	ADD_0

シーケンスメモリ

図 2.11: パターンメモリとシーケンスメモリのアドレスビットの配分。NUM はパターン／シーケンスのチャンネル番号を、ADD はそのチャンネル中のアドレスを表す。

で決定され、現在は 4 チップ 32bits 幅となっている。これは、最大 8 チップ 64bits 幅まで拡張可能である。

パターンメモリ、シーケンスメモリは、それぞれ記憶できるパターンやシーケンスの数を変えられるようになっている。これは、それぞれのメモリのアドレスバスのうち上位数ビットをカウンタ出力から取るかパターン／シーケンス指定レジスタ（制御部）から取るかを選択することにより行われる。実際のビット配分を**図.2.11**に示す。

記憶部のタイミングチャートを**図.2.12**に示す。記憶部は 2 段構成になっているため、特に高速動作時はそれぞれのアドレス指定とデータ取得のタイミングに注意を払わなければならない。このため、今回の装置では回路は全て同期式で設計し、メモリタイミングがクリティカルな部分は全てマスタークロックで同期を取った。

制御部　制御部のブロックダイアグラムを**図.2.13**に示す。制御部は、ジェネレータのパターン記憶／再生モードの切替え、シーケンス／パターンカウンタの各種制御、外部からアクセスするメモリの指定を行う。

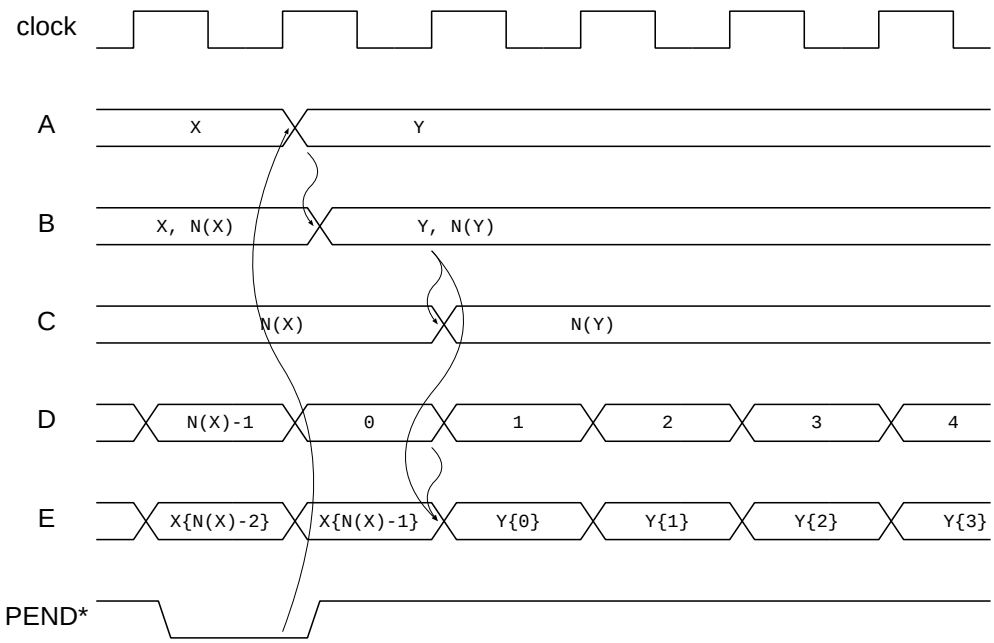


図 2.12: メモリ部のタイミングチャート。A から E はそれぞれ**図.2.10**中の各ポイントに対応する。X、Y はそれぞれパターン番号を、N(X)、N(Y) はパターンの長さを表す。

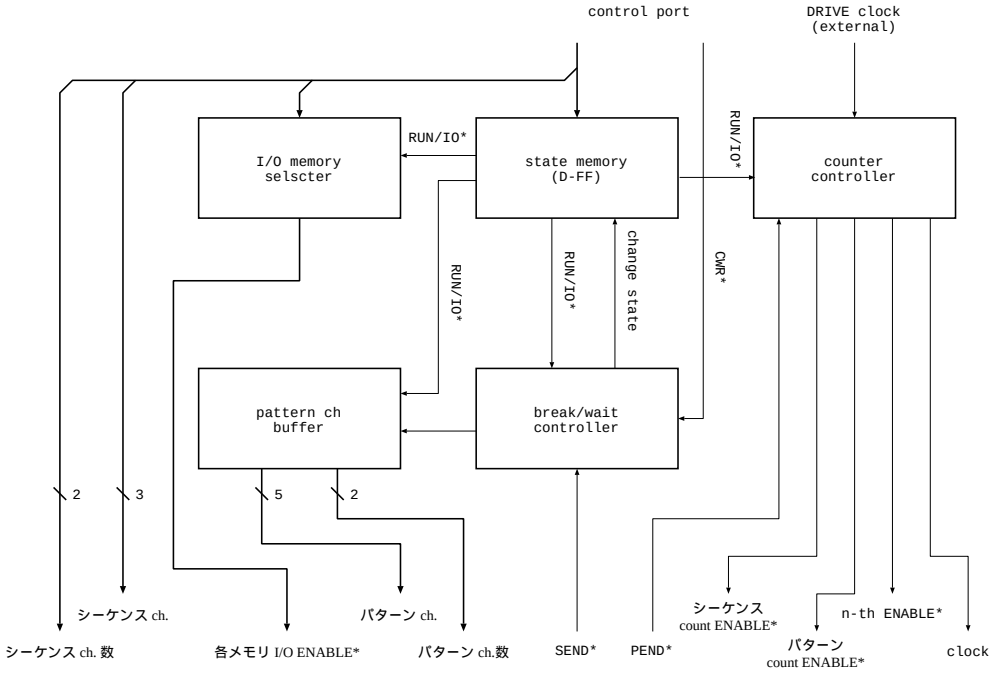


図 2.13: 制御部のブロック図

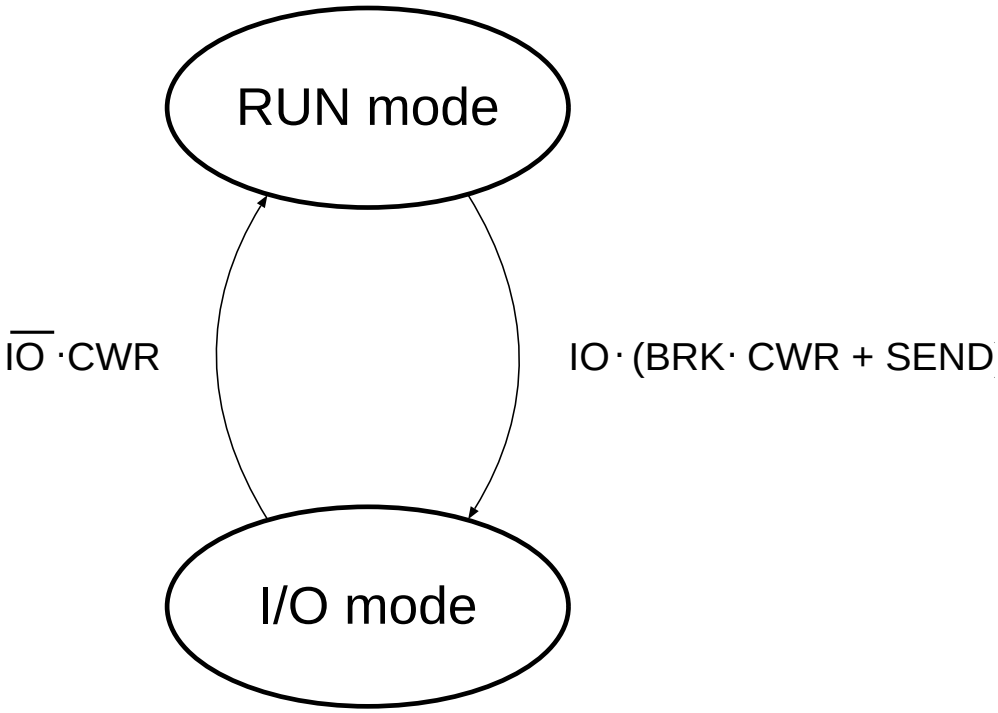


図 2.14: 制御部の状態遷移図。それぞれのフラグは、IO:I/O モード要求フラグ、CWR: コントロールポートへのアクセスフラグ、BRK: パターン再生の強制中断要求フラグ、SEND: シーケンス再生終了フラグである。

制御部の状態遷移図を**図.2.14**に示す。このように、制御部はパターンやシーケンスの書き込みを行う I/O モードと、CCD にクロックを供給する RUN モードの二つの状態を持つ。それぞれの状態間の遷移は、I/O モードから RUN モードへは任意のタイミングで移れるが、逆は原則的に一つのシーケンスの再生が終了するまで待つようになっている。これにより、CPU は CCD 駆動のタイミングの詳細を知ること無しにフレーム単位での駆動等ができるようになっている。

実際の制御部の役割としては、以下の物がある。

パターンカウンタとシーケンスカウンタの連結・解放 パターンカウンタとシーケンスカウンタは、I/O モード時には独立して、RUN モード時には連動して働かなければならない。制御部では、モードに応じて各カウンターの enable フラグを操作し、この連結・解放を制御する。

I/O アクセスの制御 I/O モード時には、制御部は CPU がアクセスするメモリを決定する。また、RUN モード時には I/O 用のハンドシェークポートを閉鎖することにより、パターン再生時の外部からの干渉を避ける。

メモリアドレス線の割り振り シーケンスやパターンのチャンネル数に応じて、それぞれのメモリのアドレス線の各ビットの用途を割り振る。

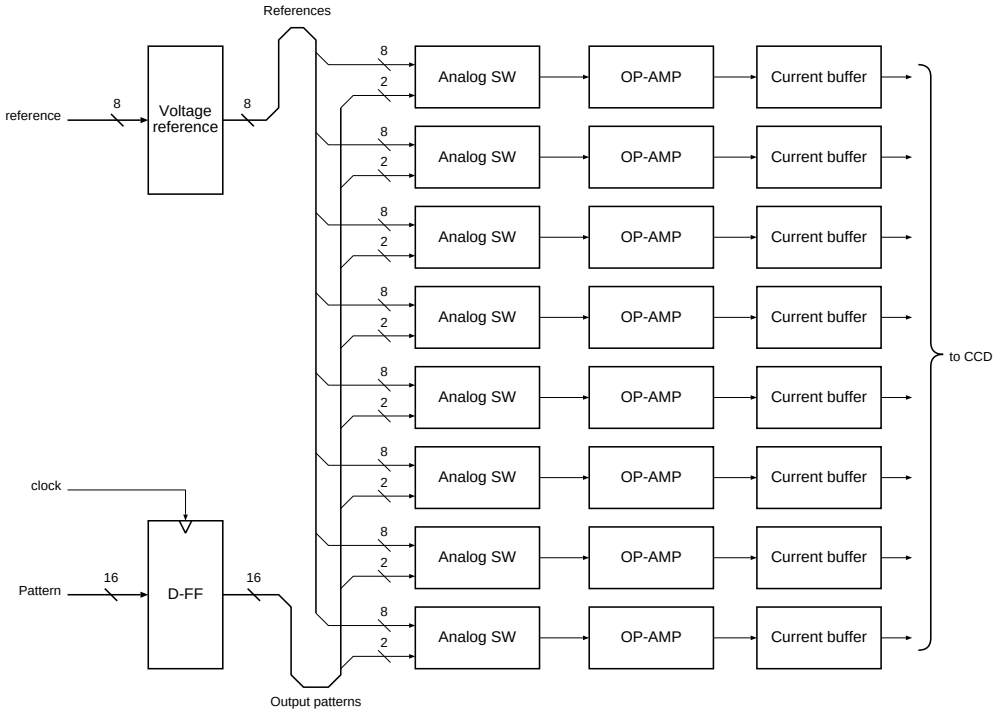


図 2.15: アナログスイッチ部のブロック図

2.3.2 アナログスイッチ

パターンジェネレータが作ったデジタルパターンは、このアナログスイッチ部で対応する電圧に変換され、CCD 駆動信号となる。今回は、このアナログスイッチとして 8 チャンネル、4 電圧のものを製作した。ブロックダイアグラムを**図.2.15**に示す。

今回の装置では想定しているクロックサイクルが最高 10MHz とかなり高速になることから、デジタルパターンジェネレータからアナログスイッチへ信号を伝送する段階でリンギングや多ビットのデジタル信号の位相ずれなどの不具合を生じる可能性がある。そこで、デジタルパターンの入口には同時に基準クロックを加えることにし、デジタルデータはそのクロックを用いて D-FF でサンプリングすることにした。また、これらクロックやデジタルデータ線にはリンギング防止のためターミネータを接続した。

また、出力する電圧は外部のリファレンスにより与える方式とした。これは、CCD の種類により必要とする電圧が異なるため、今回のように開発中の CCD を評価する目的の装置では出力電圧の変更に容易に対処できなければならないためである。リファレンスをアナログスイッチと分離したため、基準電圧源としては一般の定電圧源の他に DA コンバータなども使えるようになっている。

本ボードの中枢であるアナログスイッチ IC には、ハイスピード C-MOS ファミリの 74HC4051 を用いた。この IC は 8 入力から 1 つを選んで出力する機能を持っている。CCD を駆動する電圧は 1 回線あたり通常その半分から 4 分の 1 程で十分であり、またその電圧の組合せも多くて 3 通り程度なので、1 回線あたり切替えることのできる電圧は 4 種類を 2 系統とし、この系統の切替えは基板上のジャンパーピンで回線毎に行う事とした。これにより、

そう多くないビット数のデジタル入力で必要な出力パターンが作れることになる。

今回使用したアナログスイッチ IC は、通常 CCD の駆動に使われる 10V 程度の電圧をそのまま扱うことができない。そのため、基準電圧はアナログスイッチに入る前に抵抗分割され、その後高速 OP-AMP で増幅することにより元の基準電圧に戻される。この OP-AMP は、CCD 駆動信号が高速かつ大振幅であるため、スルーレート 300V/μs の超高速 OP-AMP を用いている。また、特定の値のスルーレートの信号を必要とする CCD のため、この OP-AMP の帰還抵抗と並列に任意の容量のコンデンサを挿入し、スルーレートを小さくすることができるようになっている。

OP-AMP の出力インピーダンスはそれほど低くなく、よって低インピーダンス負荷や容量性負荷を接続すると、必要な電圧が得られなかったり出力波形のスルーレートが悪化したりする。このような事を防ぐため、OP-AMP の出力には必要に応じて電流増幅用バッファを接続できるようになっている。

この電流増幅用バッファは非常に高速かつ低インピーダンスであるため、その出力を少し不注意に配線すると容易にリンギングを起こす。この事は使用する上でかなり不便であるので、ある程度出力インピーダンスを高くする目的で、出力は 15Ω の抵抗を通して取り出している。このことにより、多少おかしな配線をしてもそれほどひどいリンギングはおこらず、またバッファアンプを介さず OP-AMP から出力を取り出した時も容量性負荷に対してスルーレートが劣化しにくくなっている。

アナログスイッチは以上の各パートから成るが、それぞれの電源はデジタルインターフェース部・アナログ部・バッファ部で分けてあるため、電源を通しての各パート間の干渉が起きにくく、10MHz という高い周波数まで安定に駆動することができる。

2.3.3 CCD マウント基板

CCD をマウントする基板は、さらに液体窒素とヒータで温度を一定に保たれるコールドプレートに取り付けられる。通常この基板上にはターゲット CCD 専用のアナログスイッチ等が搭載され、ドライブ信号としてはデジタルパターンが加えられることが多いが、今回はターゲットチップが決まっていないので基板には外部で作ったアナログパターンをドライブ信号として加えることにした。このため、ドライブ信号を伝送する際の信号の反射等のトラブルを避けるため、アナログスイッチとマウント基板との間は極力短い方が望ましい。

今回装置の動作を確認するために、テキサス・インスツルメンツ社の X 線用 CCD「TC213」を実際に駆動した。このための基板は、信号入力側には特に何のバッファも入っていない。

一方、CCD からの出力にはソースフォロワによるバッファを設けてある。これによって、CCD の高インピーダンス出力を外部に引き出す。

2.3.4 AD コンバータ

AD コンバータは、（株）プロフォートの「PVME–341」を用いた。これは、VME バス上で動作するボードで、AD コンバータの他に DA コンバータと PIO、及びタイマの機能も持つ。

このボードの AD コンバータ部の仕様は、以下のようになっている。

外部クロックに同期したサンプリング サンプリングタイミングは、内部タイマやCPUからの直接の信号の他に、外部入力のタイミングクロックによる同期が可能である。また、その際の連続サンプリング回数は任意に設定でき、一連のサンプリングのスタートタイミングも外部からのトリガ信号により与えることが可能である。今回製作した装置でも、CCDのサンプリングタイミングに合わせてクロックを供給し、各ラインの頭で同期用のトリガ信号を与えることにより誤動作の起きにくいシステムとしている。

4096words長のデータバッファ 外部クロックによりサンプリングした信号は、逐次4096words長の内部バッファに蓄えられる。このバッファはFIFOメモリ[3]となっており、VMEバスを通してデータを取り出すことができる。このように内部バッファを持つ事である程度の量のデータを一括して別のメモリに転送できるので、転送時のオーバーヘッドを小さくする事ができる。

動作状態に対応した様々なシグナル 本ボードは、前述のバッファの状態やその他サンプリング回数の情報など様々な内部フラグを持ち、それらをVMEバスから参照できるようになっている。また、これらのフラグにより様々な種類の割り込み信号を発行できるようになっている。これらの情報をうまく使うことにより、データ取り込みの際の制御部の負担を減らす事ができる。

最大12bitsの精度 本ボードは、±5Vまたは±10Vの入力電圧を12bitsの精度で測定することができる。この分解能はVMEバスの信号を止めた時に得られる性能であり、今回のように高速のサンプリングを長時間行う時は精度の低下が予想される。

スループット500KHzのサンプリングレート 外部から加えるタイミングクロックは、最高で500KHzまで可能である。この速度は分解能とVMEバス用の汎用ボードであることを考えると、かなり早い値である。事実、ASCAで用いられているCCDをドライブすると1フレームあたりのサンプリング時間は3秒程度となり、これはASCAの4秒に比べても短い値である。しかし、これはサンプリング方法として1画素につき2回サンプリングした場合の値であり、サンプリング回数を増やしていくにつれかかる時間は増大することになる。

これらの仕様は、クロックと同期して高速に大量のデータを取得しなければならないCCD用として適したものである。しかしながら、現在のサンプリングレートは多重サンプリングへの対応を考えると不足であり、また精度も通常ADコンバータは1/2LSB程度の確度しか持っていない事を考えるとさらに多ビットのコンバータが望ましい。これらの要望に答えるため、将来的にはADコンバータ部はさらに高性能のものに置き換える予定である。

2.4 各部の詳細 — ソフトウェア

VMEバス上のADコンバータで取得したデータは、**図.2.16**に示すように各種のソフトウェアとインターフェースを通してデータ解析システムに流される。ここでは、**図.2.16**の

[3]First In First Out メモリ: 書き込まれた順でデータが読み出されるメモリ

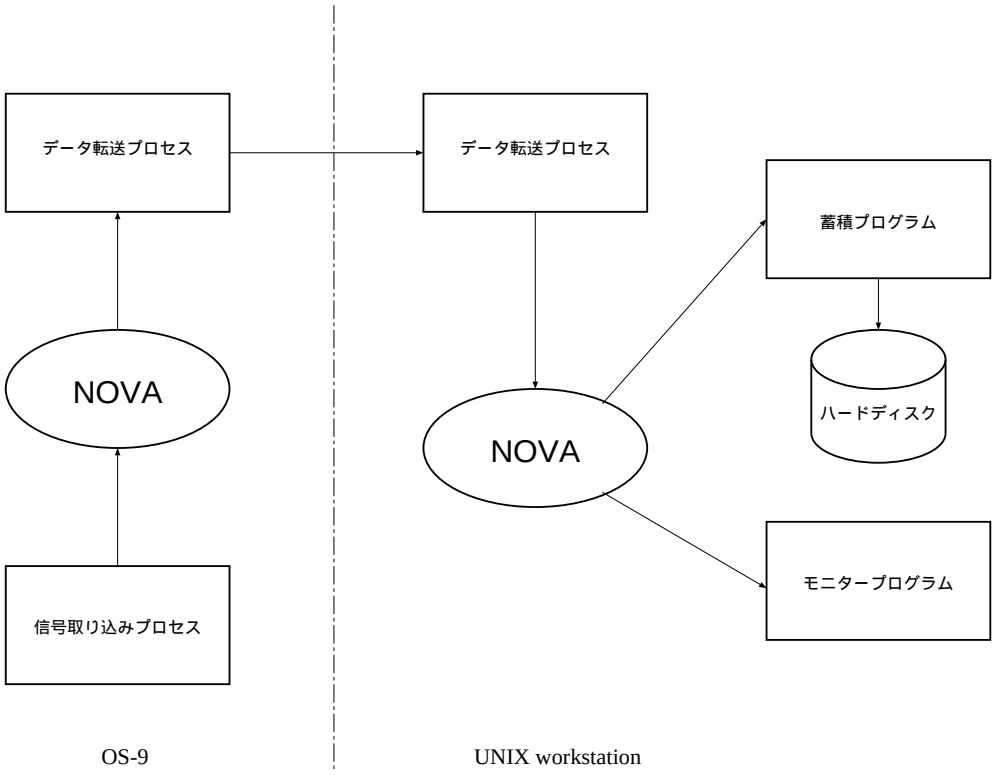


図 2.16: データの流れ

それぞれの機能を担うソフトウェアの動作のうち、それぞれのプロセス間のデータ受渡しを担う「NOVA」について触れる。

NOVA は、高エネルギー物理学研究所の能町氏によって開発されたソフトウェアで、複数のプロセス間での優先準位を意識したデータハンドリングをサポートする。NOVA は基本的にはリングバッファであり、1 つの書き込みポートと複数の読み出しポートを持つ。各ソフトウェアは、NOVA に対して書き込みないし読み出しをリクエストする事により、データ順序を保証されて複数のプロセスに対してデータ受渡しを行うことができる。これを利用して、ワークステーション上では Ethernet から受けとったデータをモニターソフトに流すと同時にハードディスクへも記憶している。

NOVA は確保したメモリへのポインタを渡すという方法でリングバッファ機能を実現している。このため、パイプライン等のファイルアクセス手段を用いた時に比べシステムのオーバーヘッドが小さく、今回のように大量のデータを素早く受渡しする必要がある時に適した構成となっている。NOVA はデータ交換用の共有メモリ (Shared Memory) の管理を行なっている。

実験装置制御部 (OS-9) とワークステーション (UNIX) の間のデータ転送プロセスは、コネクション型のソケット通信でなっている。京都大学の共有 LAN を利用した場合、最大転送速度は実測値で 5Mbits 程度であり、これは今回の目的には十分な速度である。

NOVA を用いデータ転送を行なう利点は、次の通りである；(1) 各プロセスを独立に開発できる、(2)NOVA が一種の FIFO の役目を行なっており、データ取得の効率が上がる、

(3) 各プロセスを組み変えることでデータ取得および転送の自由度が上がる。例えばハードディスクに収められたデータを再生しモニターしたい場合は、Ethernet からデータを転送するプロセスの代わりに、ハードディスクからデータを読み NOVA に流し込むプロセスを起動する事になる。この場合、モニタープロセスは何ら変更を意識する必要はない。また、Ethernet が混雑しオンラインデータによる取得が困難な場合は、OS-9 側のデータ転送プロセスの代わりに蓄積プロセスを走らせ、OS-9 側の HD にデータを蓄える事も可能である。この場合、データ取得・蓄積が終った後で、ftp などの手段でワークステーションへゆっくりとデータ転送を行うことになる。

2.5 各部の詳細 — 真空・冷却系および X 線源

一般に CCD を低雑音で駆動させる時は、低温に冷やす必要がある。これは、CCD の各ピクセルの PN 接合で生じる熱励起雑音を減らすためである。このため、CCD の高エネルギー分解能を生かすためには真空中で冷却して動作させなければならない。真空中で動作させるのは、結露を防ぐためと X 線発生装置からの低エネルギー X 線の大気での吸収を防ぐためである。

真空、冷却系の系統図を**図.2.17**に示す。図に示す通り、真空系は大小 2 つのチャンバから成り、それぞれに冷却用ユニット、X 線発生装置が取り付けられる。この真空槽及び冷却系は、（株）大阪真空機器製作所に設計と製作を依頼した。

2.5.1 真空槽

大小 2 つの真空槽には、それぞれテストされる CCD と X 線発生装置が取り付けられ、独立に油回転ポンプとターボ分子ポンプにより高真空に保たれる。これら 2 つのチャンバは接続ダクトで結ばれ、X 線発生装置の出力はこのダクトを通り CCD へ照射される。ダクトにはゲートバルブが取り付けられ、片方のチャンバを常圧に戻しながら片方は真空を保つことができるようになっている。大型チャンバは周囲に 8 個のポートを持ち、多数の装置を取り付けられるようになっている。各チャンバとの接続ダクトの断面図を**図.2.18**に示す。

それぞれのチャンバでの到達真空度は、チャンバ間に気密保持用アルミナイズド・マイラを挟んだ時、大小のチャンバでそれぞれ 7.0×10^{-6}Torr、1.3×10^{-7}Torr であった。それぞれのチャンバを真空に引く時の圧力変化を**図.2.19**に示す。

2.5.2 冷却系

冷却系は、液体窒素とヒータを使用して窒素温度付近まで連続して温度が制御できるようになっている。チャンバに取り付けられる冷却ユニットの構造を**図.2.20**に示す。冷却ユニットは内部に液体窒素溜を持ち、これがチャンバ内部に突き出したコールドヘッドにつながっている。コールドヘッドには温度制御用ヒータと熱電対を持ち、専用制御装置を用いて一定温度に保たれる。窒素の量はセンサにより一定の範囲に保たれており、不足が生じると外部のタンクから必要量だけ供給される。これにより、外部タンクに窒素を定期的に補給することにより任意の時間低温を保つことができる。

図 2.17: 真空・冷却系の系統図（大阪真空による）

図 2.18: 各チャンバ、ダクトの断面図（大阪真空による）

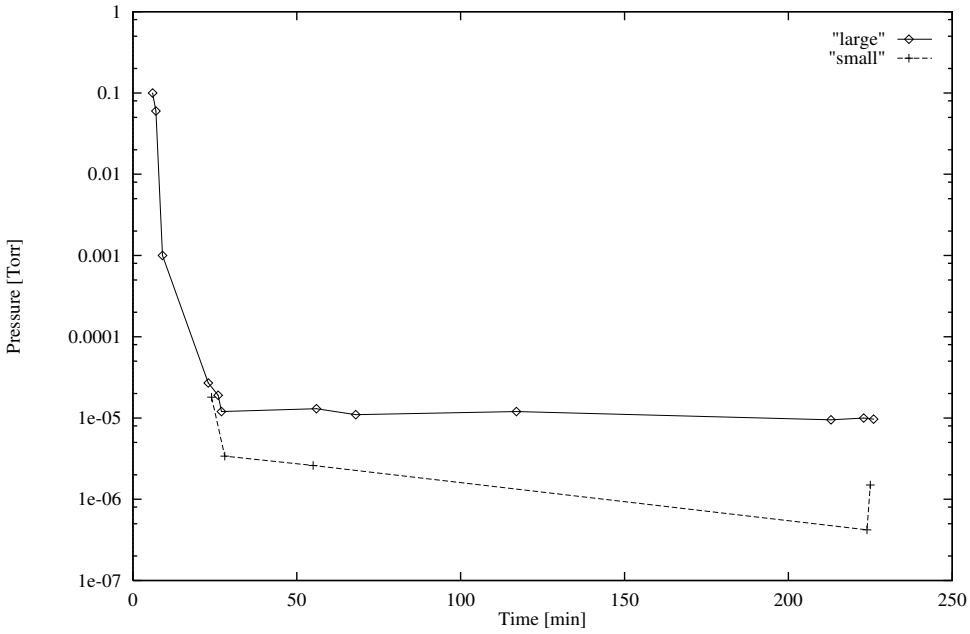


図 2.19: 真空ポンプ作動時の到達真空度

冷却系の温度制御は、−50、−70、−90°C でその動作を確認した。それぞれの安定度は、温度コントローラの 0.1°C までの表示部が変化しない程度に安定である。なお、温度の絶対精度は ±1.5°C 程度である[4]。また、10l の液体窒素でコールドヘッドの温度を 6 時間以上に渡り −70°C に保てる事を確認した。温度安定試験の結果を**図.2.21**に、またヒータ OFF 時の常温からのコールドヘッドの温度降下の様子を**図.2.22**に示す。

2.5.3 X 線発生装置

X 線発生装置は、J. E. MANSON CO., INC. の MODEL 2 ULTRASOFT X-RAY SOURCE を用いた。この装置は外部から高電圧を供給することにより最大 10KeV までの X 線を発生することができる。また、ターゲットを交換することにより各種元素の特性 X 線を発生できる。構造を、**図.2.23**に示す。

X 線発生装置に供給される高圧電源は、出力を安定させるために電流制限がかけられる。しかし、CCD のように時間分解能が悪く、よって微弱[5]な X 線を必要とする用途に対してはかけられる制限値が大き過ぎ、結果 CCD をフォトンエネルギー計測器としてではなくエネルギーフラックス計測器として使うことになってしまう。本装置はフォトンエネルギー計測器としての CCD を評価することが目的であるから、これは都合が悪い。そこで、CCD チャンバ側にアルミ箔を張り、X 線をこれに通すことで適当な強度を得ている。

CCD に X 線発生装置からの出力 X 線を照射する前に、特性の分かった X 線検出器を用いて X 線発生装置の十分な校正を行うことが必要である。この校正用検出器として、今回

[4] 大阪真空による。

[5] ここでは、エネルギー束密度ではなく、粒子束密度が小さいことを表す。

図 2.20: 冷却ユニットの構造図（大阪真空による）

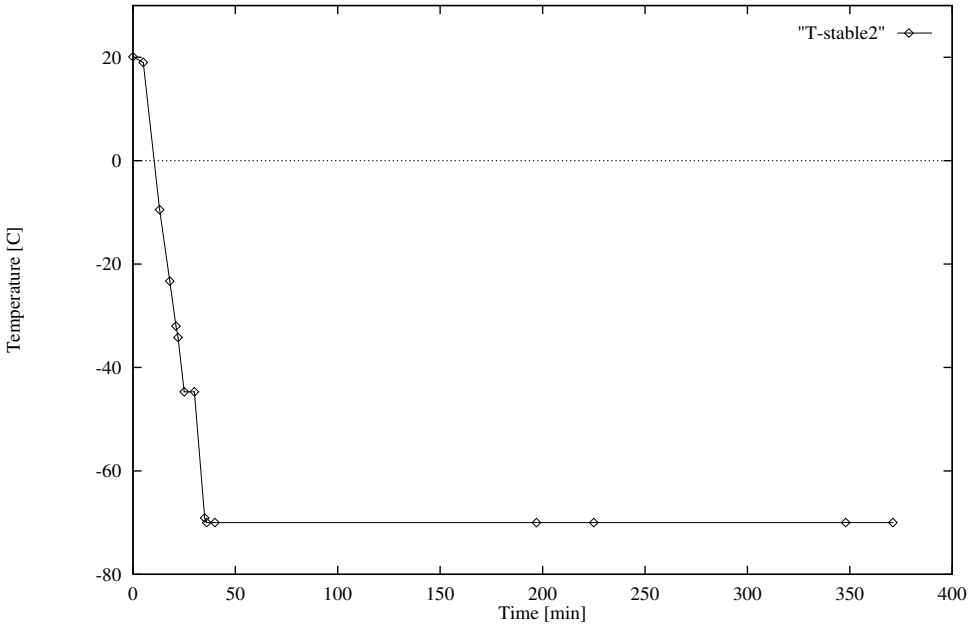


図 2.21: 温度安定試験の結果。およそ 250 分後に 10 リットルの液体窒素が尽きた。

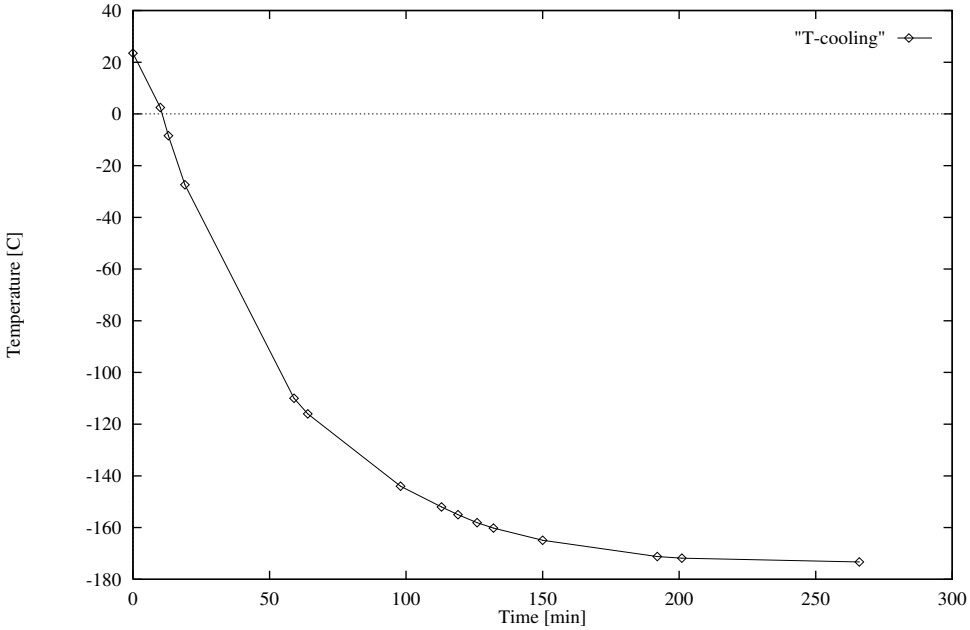


図 2.22: 温度制御を行わなかった時のコールドプレートの温度変化

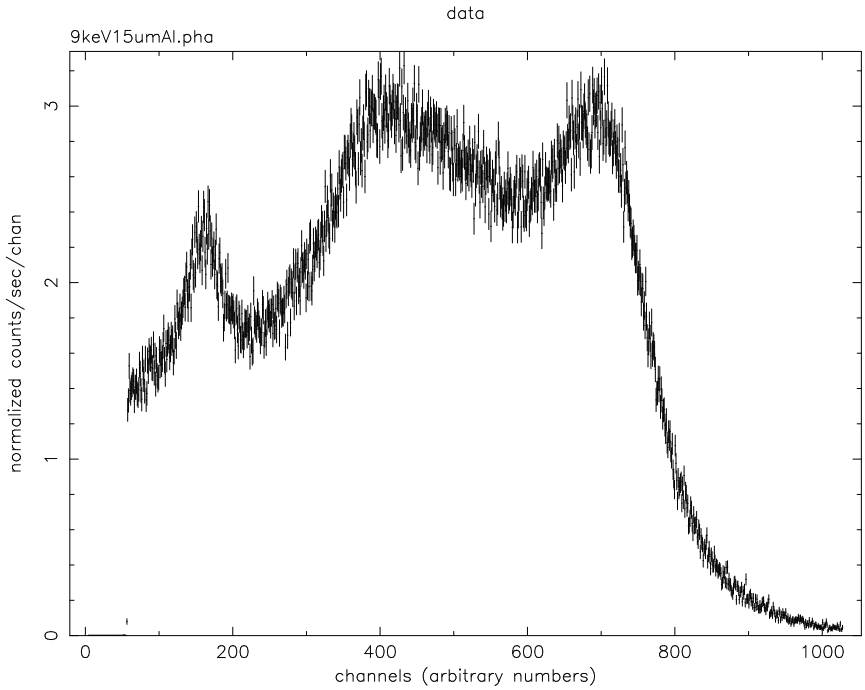
図 2.23: X 線発生装置の構造図（J. E. Manson co., inc. による）

は大阪大学の常深博士によって作成されたガスフロー型の比例計数管を用いた。ガスとしては、アルゴン 90 混合気体である PR ガスを用いる。この比例計数管は高圧電源とプリアンプを内蔵しており、低電圧の DC 電源を供給するだけで真空中で使用可能である。入射窓は透過率 75% のメッシュと 6μm のアルミナイズド・マイラでできており、さらに 1cm×1cm の開口を残して、厚さ 1mm のアルミ板で覆ってある。これは CCD と同じ開口にして、キャリブレーションを容易にするためである。 1mm アルミ板の X 線に対する透過率は、 5.9keV で 1×10^{-10} 程度である。

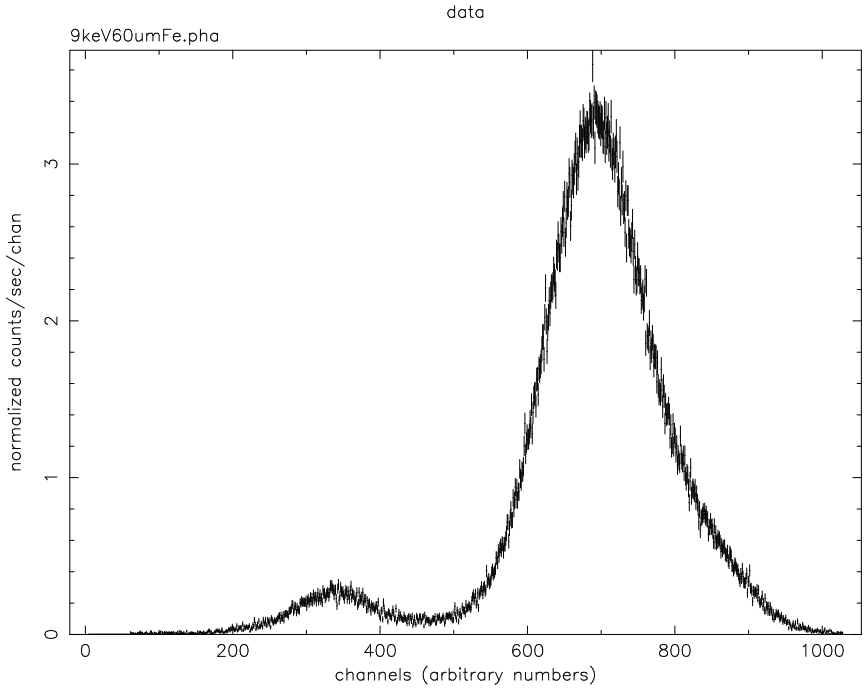
比例計数管の出力は、 ORTEC のシェーピングアンプ 571 で増幅・整形した後、 AD コンバータ 800 でサンプリングし、 PC-9801 に取り込んでいる。このデータを Ethernet 経由で解析用ワークステーションに送り、 X 線源のデータとして CCD データ解析の際に用いる。

X 線発生装置の校正は以下の方法で行なった。まず X 線源 ^{55}Fe を用いて大気中で比例計数管に Mn-Kα(5.9keV)、 Kβ(6.5keV) のシャープな線スペクトルを当て、比例計数管のエネルギー校正を行なった。次に真空中で X 線発生装置の出力を比例計数管に照射し、大気中で行なった比例計数管の校正データを元に、 X 線発生装置の校正を行なった。

X 線発生装置からの出力には、輝線スペクトル以外に制動輻射による連続成分がある。この連続成分の存在は、 CCD のエネルギー分解能を測定する場合には不都合となる。よって、 X 線発生装置から出力にさらに 15μm のアルミ箔および 60μm のステンレス箔を置き、フィルターとして不要な低エネルギーの連続成分を抑制した（**図.2.24**）。



(a)



(b)

図 2.24: X 線発生装置の出力を比例計数管でモニターして得られたスペクトル。加速電圧は 9keV、ターゲットは Fe。X 線フィルタは (a) が 15μm のアルミ箔、(b) が 60μm のステンレス箔。

第 3 章

製作と試験手法

本章では、実際の開発と試験において取った手順を書く。本装置はハードウェアとソフトウェアに、またそれぞれはデジタル部とアナログ部、データ取得部とデータ転送部に分けられるが、デジタル部とデータ転送部については問題となるのは論理レベルでの問題だけであるので、通常のデジタル回路やソフトウェアの開発と何ら変わりはない。

そこで、ここでは主にハードウェアとしてアナログスイッチと AD コンバータの、ソフトウェアとして AD コンバータからのデータ取得ルーチンの開発と試験方法について述べる。また、真空槽および X 線源の試験についても触れる。

3.1 開発と試験の流れ

各部の開発と試験の方法について述べる前に、全体としての開発及び試験方針について簡単に触れておく。

本研究では、開発及び試験は CCD 駆動部とデータ取得・処理部とに分割し、それぞれの部分は信号の流れに沿って（駆動部）、あるいは信号の終端から遡って（処理部）開発および試験を行った。

この方法の利点として、試験時には信号源や信号を受ける次のモジュールがある程度信用できるので、試験段階において問題発見が容易であるという事が挙げられる。一方欠点として、一度に試験できる箇所がどうしても限られてくるので、同時作業による時間的効率の向上を見込みにくいと言う点が挙げられる。もっともこの欠点については、各部の試験の際に前段の信号源や後段の受け手として、疑似信号発生装置やきちんとしたモニタツールを使用すればあまり問題にならない。

3.2 アナログスイッチ

アナログスイッチ部の開発にあたっては、正式な設計にはいる前に技術的に困難が予想される高速 OP-AMP とアナログスイッチ廻りついてあらかじめプロトタイプを製作し、問題となりそうな点の洗い出しとその対策について検討した。この方法は、本モジュールのように同一の回路が何系統も並んでいる場合には特に有効な方法である。この手法により、プロトタイプを用いなかった時に遭遇したであろういくつかのトラブルを事前に解決できた。

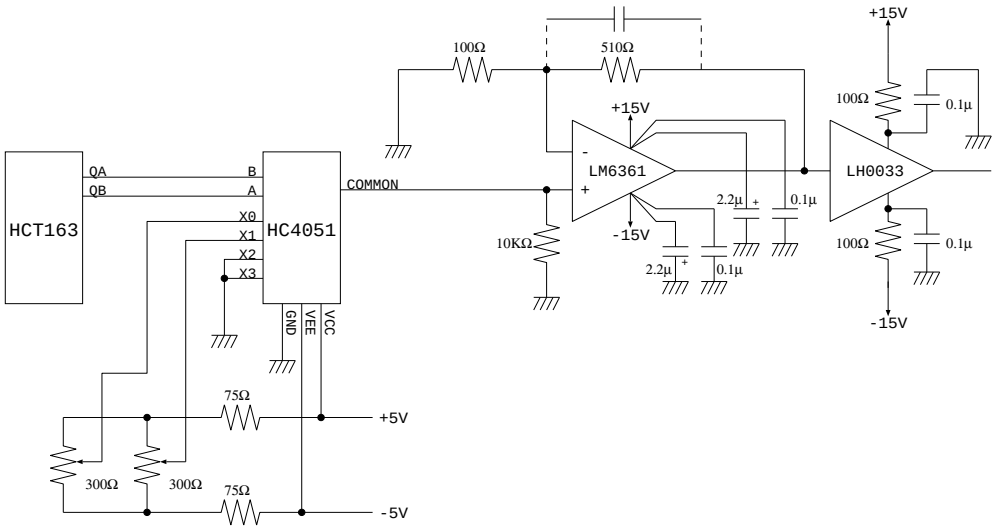


図 3.1: アナログスイッチ部プロトタイプの回路図。本文中で触れている対策部品についてはあえて記入していない。

3.2.1 プロトタイプでの問題点と解決方法

製作したプロトタイプの回路図を**図.3.1**に示す。以下、この回路を用いて確認した事柄および解決したトラブルを挙げる。

超高速 OP-AMP の安定動作の確認 本回路の主目的の一つに、超高速 OP-AMP を安定に動作させるための条件を探ることがある。一般に、スルーレートが 100V/μs、GB 積[1]が数 10MHz 以上の OP-AMP ではその高速性を確保するために位相補償を小さくしてあり、そのため配線の引き廻しや回路構成によっては動作が不安定になりしばしば発振を起こす。

今回のプロトタイプでは、特別な位相補償無しでも発振は起こらず、また特別なグランドパターン（ベタアース[2]）等も必要ないことを確認した。

スルーレートの制御 OPー AMP の動作確認と同時に、進み補償用のコンデンサをフィードバック抵抗と並列に挿入する事により、OP-AMP の性能以内なら任意のスルーレートの信号を作り出せる事を確認した。

アナログスイッチのスイッチング時間 データブックによると、今回使用したアナログスイッチ IC・74HC4051 はスイッチ入力を切替えてから実際に出力が切り替わるまで 100ns 近くかかるとなっている。データブックに記載されているのはこのデジタル入力を切替えてからアナログ出力が切り替わるまでの時間のみであり、アナログ出力切替の遷移時間までは触れていなかった。そのため、プロトタイプの試験によりこの遷移時間

[1] Gain-Bandwidth 積。OP-AMP 単体での増幅率は、ある一定以上の周波数では周波数特性を持ち、その値は周波数と反比例関係にある。GB 積は増幅率が 1 倍になる周波数を表し、OP-AMP の使用可能周波数の目安となる。

[2] グランドプレーンとしてプリント基板の片面を全面アースパターンとし、大容量の安定なグランドを得ること。

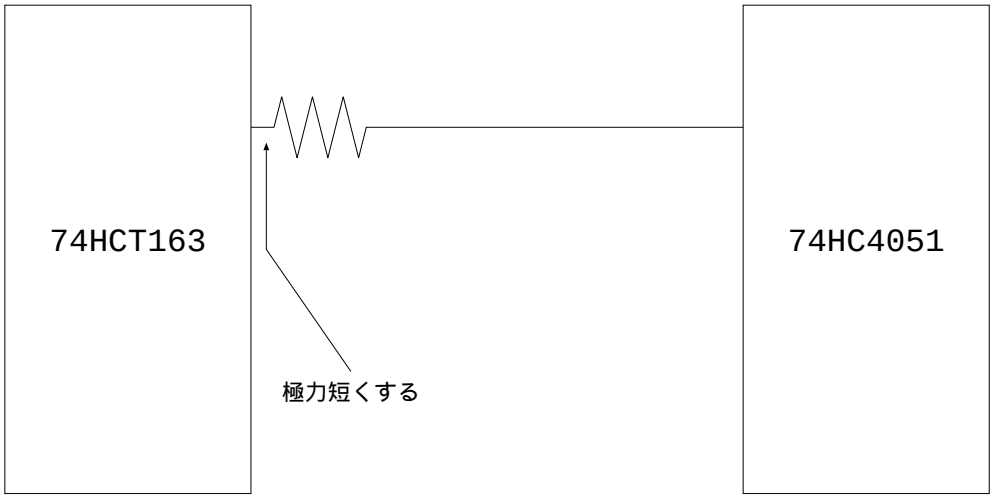


図 3.2: ダンピング抵抗の配線

を確かめる必要があった。
計測の結果は、遷移自体は 10ns 以下で終了しており、今回の目的には十分な性能を持っている事が確認できた。

リンギング (1) プロトタイプ回路で見られたトラブルは、リンギングである。初めに回路を動作させた時、アナログスイッチの出力に周波数10MHz程度のリンギングが見られた。これは、アナログスイッチのチャンネル入力端子に入ってくる信号に乗ったリンギングがそのままアナログ出力に突き抜けてきたものであった。これの対策として、チャンネルデータを出力している IC（この場合は 74ACT163）のピンの直後に数 100Ωの抵抗を直列に加え、チャンネルデータ線での高周波共振をダンプさせた（**図.3.2**）。

リンギング (2) リンギング (1) を取り除くと、これに隠れて見えなかった周波数 50MHz 程度のリンギングが現れた。これは、スイッチ IC 内のロジック回路が動作する時に電源に現れるノイズが出力に現れたものと判明した。この電源ノイズは、C-MOS IC のゲートが切り替わる時、出力の相補接続されたトランジスタが一瞬だけ同時に導通状態となり、多量の電源電流が流れることにより起こる（**図.3.3**[2]）。この対策として、デジタル信号を外部に流さないアナログスイッチでも電源にパスコンをつける事にした。

以上、プロトタイプを用いた予備試験により、様々なトラブルや懸案事項を事前に解決できた。しかしながら、解決できない問題も残った。それは、アナログスイッチの出力に最後まで 100MHz 程度の僅かなリンギングが残ったことである。これは、前述の一瞬の電源導通が IC 内部で共鳴を起こす事が原因らしく [2]、部品実装のレベルでは解決不可能と判断した。

図 3.3: CMOS IC のスイッチング動作（インバータの場合）。スイッチング時に一瞬だけ大電流が流れる [2]。

3.2.2 アナログスイッチボードの設計とトラブル

実際のアナログスイッチ部の設計は、以上のプロトタイプでの実験結果を元に行った。回路設計にあたっては、前述の点以外に以下の点に留意した。

電源の分離 本装置は、デジタル信号をアナログ電圧に変換し、またそれを CCD に供給するという性質上、様々な種類の電源が必要となる。それらを列挙すると、デジタル系 5V、アナログスイッチ系 ±5V、OP-AMP 系 ±15V、および出力バッファ系 ±15V である。これらは OP-AMP 系を除いてそれぞれが独自のノイズ源となり得、また OP-AMP 系もアナログ電圧増幅系という性格上電源ノイズは特に小さい方が望ましい。そこで、本装置では**図.3.4**に示すような電源構成とし、各電源系統を極力分離する構造とした。ここで、±5V は OP-AMP 系の ±15V から取っているが、これはアナログスイッチの発生するノイズはほぼパスコンで押えられており、かつ OP-AMP の電源には大容量のパスコンが挿入されているため、この方法が可能であると判断した。デジタル系とアナログスイッチ系の電源を分離したのは、前段のパターンジェネレータからのノイズ流入やデジタル出力に伴うスイッチングノイズを警戒したためであり、また電流バッファ系と OP-AMP 系を分離したのは電流バッファに大電流が流れることによる電圧降下の可能性を考慮したためである。

出力配線の引き廻し CCD マウントヘッドへの出力は、電流バッファの出力からツイストペア線でコネクタまで引き出した。これを出力のみの単線とせずグランドラインを一緒に引き廻したのは、出力ラインに流れる電流により不必要なノイズの輻射を抑えると共に、電流の流れを電流バッファまで返す事によりチャンネル間の干渉を防ぐ事を狙ったものである。（しかしながら、後述のように負荷インピーダンスが高く、かつアースループが存在する場合は迷走電流によるノイズの原因になるようである。）

以上の点に注意して設計した回路であるが、実際に組み上げるといくつかの問題が発生した。それら問題点と施した対策を以下に挙げる。

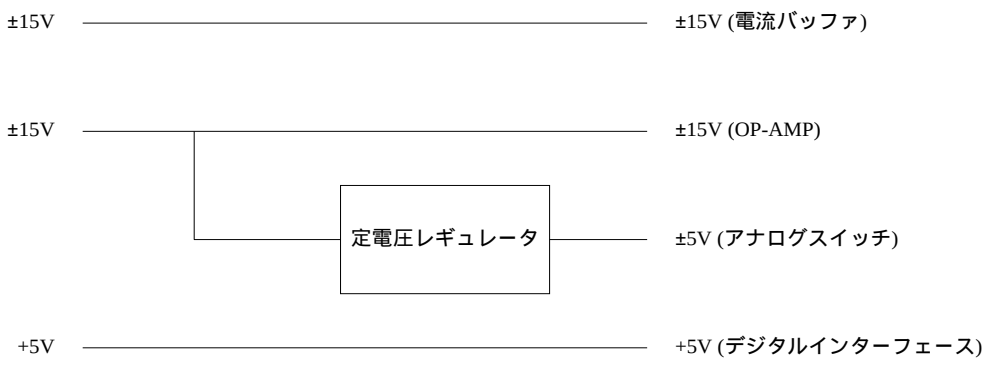


図 3.4: アナログスイッチ部の電源構造

リンギング (1) プロトモデルで対策を行ったにも関わらず、CCD ドライブ出力に 10MHz 程度のリンギングが発生した。原因は、リファレンス電圧源として使った汎用 OP-AMP の出力がスイッチングによる負荷の変動に追従していなかったためである。この対策として、8 本のリファレンスラインとグランドとの間に 0.01μF のディスクセラミックコンデンサを挿入した。これだけではリファレンス用 OP-AMP の出力に直接コンデンサが接続され、動作が不安定になり発振するので、OP-AMP からリファレンスラインへは 30Ω の抵抗を介して接続した（**図.3.5**）。

リンギング (2) 上記のリンギングを解決した後で出力を CCD マウントヘッドへつなげると、出力に数 $10V_{p-p}$の大ノイズが発生した。これは接続ケーブルの先にマウントヘッドをつながなければ発生せず、また電流バッファを介さず OP-AMP の出力を直接取り出した場合も発生しなかった。このノイズの周波数は、帯域 150MHz のシンクロスコープでも確認できない程高かった。これらの事より、このノイズの原因は各出力線に対応して引き出されたグランドラインが CCD マウント基板で再び合流したことにより形成されたグランドループに、低インピーダンス駆動により CCD マウント基板の配線端点で発生した反射電圧が乗った事と考えられる。これが単なるリンギングにならなかったのは、各々の出力線により形成する複数のグランドループの長さが数 cmから数 10cm異なったためと考えられる。この長さの違いは、各々の出力のグランドラインを各々電流バッファの側から取ったことにより生じている（**図.3.6**）。この解決方法として、出力に 15Ω の抵抗を挿入することにより、CCD ドライブの出力インピーダンスを若干高くするという方法を用いた。また、これによりあまり電流を必要としない端子に供給する出力には、電流バッファを介さず直接 OP-AMP から出力を取れるようになった。これは、OP-AMP に直接容量性負荷を接続すると動作が不安定になる可能性があったのが、出力に抵抗を介して接続することにより、その影響を抑えることができるようになったためである。また、大容量負荷を接続するとその容量に応じてスルーレートの悪化が予想されるので、出力抵抗をバイパスできるようにもなっている（**図.3.7**）。

以上の手順により、アナログスイッチ部は完成した。

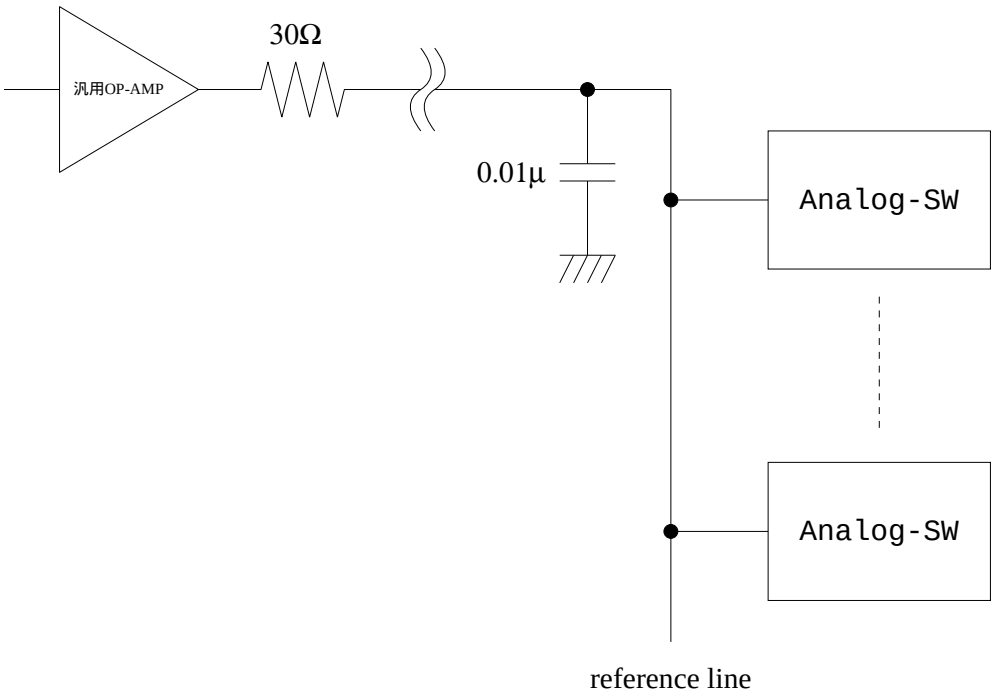


図 3.5: 電圧リファレンスラインのパスコンと OP-AMP 出力抵抗

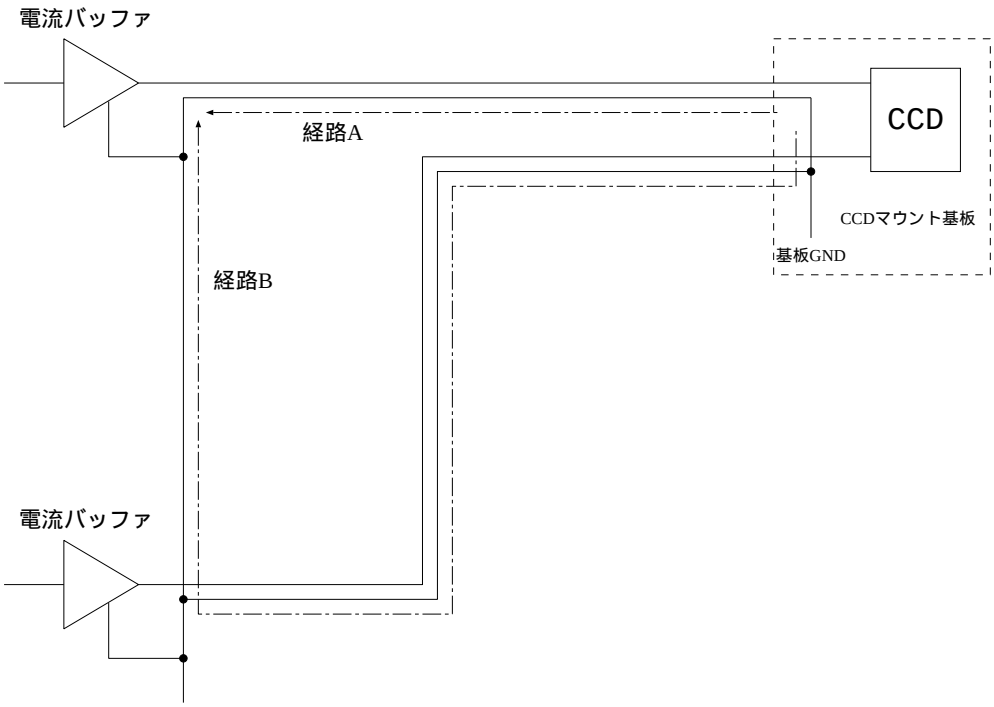


図 3.6: 電流バッファ出力のグランドループ

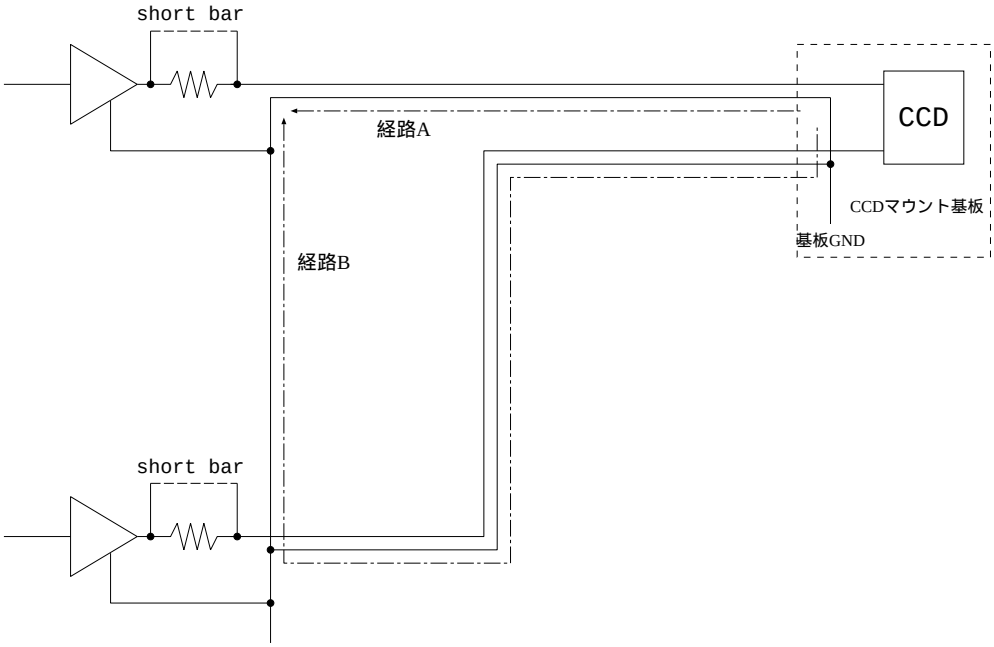


図 3.7: 電流バッファ出力のダンピング抵抗

3.3 データ取り込みと転送

AD コンバータの動作試験とデータ取り込み・転送ソフトの開発は、CCD からの信号をシミュレートする装置を製作し、その出力を用いて行った。行った試験は、サンプリングクロックとトリガに応じて目的のタイミングで AD 変換ができるか、取り込んだデータに相関二重サンプリング処理を施し目的の画像データが得られるか、である。

3.3.1 CCD 信号シミュレータ

CCD からの信号をシミュレートする装置は、パーソナルコンピュータ「PC-9801」から PIO ボードを通して出力したパターンを、8 ビット DA コンバータ IC「MC1408」によりアナログ信号に変換し、その出力を用いた。同時に必要とされるサンプリングクロックとトリガクロックは、16 ビット PIO の余ったビットを用いて同時に発生している。このシミュレータのブロック図を**図.3.8**に示す。

シミュレータの発生する信号の早さは、PC-9801 の処理速度に依存している。今回製作したものでは、出力 1 ステップあたりおよそ 25μs の時間を要した。この時間は、PC-9801 の内部で割り込み等の不定期イベントが入る事により不規則に変動し、時に倍程度になったりもする。実際に CCD を駆動する際には 1 ステップ約 1.3μs の均質なクロックで行うので、この速度やゆらぎは AD コンバータの速度試験には不向きである。しかし、CCD の出力波形をある程度忠実にシミュレートし、同時にサンプリング等のクロックも供給するので、サンプリングタイミングを試験する用途には適している。

このシミュレータを用いることにより、CCD の出力を用いる事なく取り込み段以降の処理の試験を行えることになる。

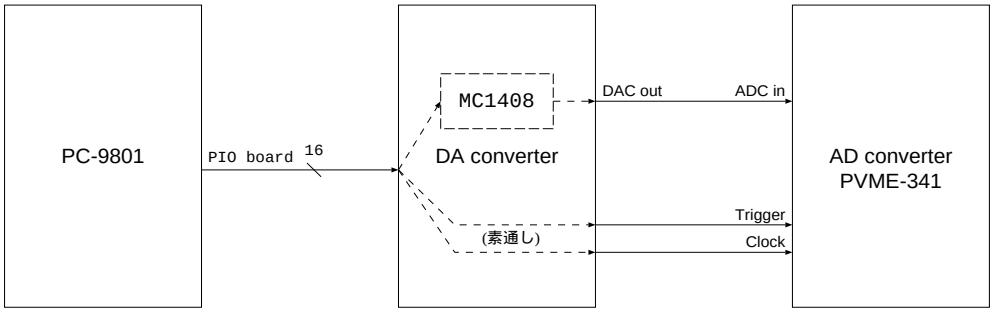
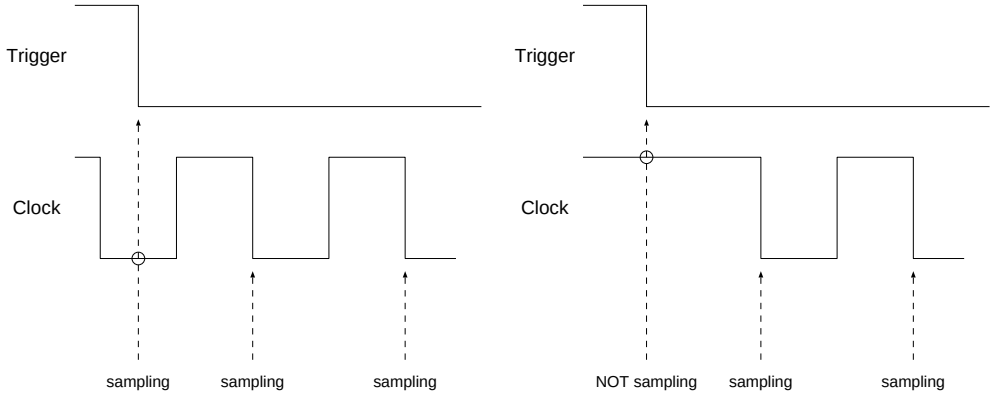


図 3.8: CCD シミュレータのブロック図



(a) (b)

図 3.9: AD コンバータの trigger、clock とサンプリングタイミングの関係図。(a) のタイミングでは trigger の立ち下がりで最初のサンプリングが行われる。

3.3.2 データ取り込み試験

データ取り込み試験は、信号と同時に供給したクロックに従って狙ったタイミングで信号が取り込めるか、および取り込んだ信号に相関二重サンプリング処理を施して Ethernet に流した時にどのくらいの時間がかかるかの 2 点である。これらの試験で、いくつかの問題が発生した。それらを、以下に挙げる。

トリガとクロックのタイミング シミュレータを用いてデータ取り込み試験を行った所、トリガが掛かった後サンプリングクロックを待たずにデータが取り込まれる現象が発生した。様々にクロックタイミングを変えて検討した結果、トリガが掛かった時のクロックのレベルによってデータ取り込みのタイミングが変化することをつき止めた。この様子を**図.3.9**に示す。この情報により、パターンジェネレータから供給されるクロックとトリガのタイミングを修正した。

データ転送速度 AD コンバータによる信号の取り込みと相関 2 重処理がきちんと行える事は確認できたが、取り込んだデータを NOVA を通して Ethernet 経由で外部に送り

出す部分で、予想外のオーバーヘッドが生じた。現在の所、1画面512×512画素のデータを外部に送り出すのに、約1分半の時間がかかっている。現在のシミュレータによる信号では1画面を取り込むのに50秒程度で終了するので、差の40秒程度がデータ転送によるオーバヘッドと考えられる。これについては、現在の所はCCD駆動信号を1画面取得後に一時停止させる事で対応している。

以上の問題点の洗い出しにより、シミュレータからの信号を無事取得できるようになった。

第 4 章

CCD 駆動試験

本章では、今回開発した装置を用いて実際に CCD を駆動した結果を述べる。今回使用したチップは、テキサスインスツルメンツの TC213 である [3][4][5]。

4.1 TC213

TC213 は駆動電極としてバーチャルフェーズ方式を採用したフレームトランスファ方式の可視光用チップであり、 1024 × 1024 のピクセルを持つ。このうち 512 列は光を通さぬようマスクがされたストア領域であり、残りの 512 列が光を電子に変換する受光面である。可視光用素子として用いる時には、受光面で時間をかけて光電子を蓄積し、読み出しの際には蓄積した電荷を素早くストア領域に送り込んだ後、時間をかけて外部に読み出す事になる。フレームトランスファ方式は、転送路がそのまま受光面にもなっているため読み出し転送により像が流れるという難点があるが、この方法を用いることにより蓄光時間と転送時間の比を大きくとることができ、受光面中の有効面積が大きいという特徴を生かしながら品質の良い画像が得られる。この特徴を生かし、TC213 は天文学用の望遠鏡の焦点面検出器など微弱な光を長時間にわたって観測する用途に用いられている。

TC213 を X 線用として使用する場合は、多少事情が異なってくる。それは、 X 線で用いる時にはストア領域がストア領域として働かなくなる可能性があることである。これは、ストア領域を覆っているマスクが X 線に対してまで阻止能力があるとは保証されておらず、よってストア領域に飛び込んできた X 線も CCD の光電変換面まで届き、その結果ストア領域にも入射光子による電離が発生する可能性があるためである。このため、本装置で X 線像を取得する際には、読みだし時には何らかの方法で入射 X 線源を遮断するか、読み出し時間を露光時間に比べ十分に長く取らなければならない[1]。

TC213 は水平転送路と読みだしゲートを 2 組持っており、それぞれを用いて隣合った奇数番目のピクセルと偶数番目のピクセルを同時に読み出す。これは読み出しの高速化を図るために用意されている物だが、半導体製造時のばらつきのため、二つの読みだしゲートのゲインにはどうしても差が生じ、その結果読み出されたゲートにより入射 X 線に対する出力ゲインに差が生じることになる。これは好ましくないので、今回の駆動では片方の読みだしゲートのみを用い、初めに偶数番目のピクセル群を、次に奇数番目のピクセル群を

[1]「あすか」で用いられている CCD ではストア領域のマスクに X 線に対しても遮断能力をもつ材質を用いているため、可視光と同じ様に使用できる。

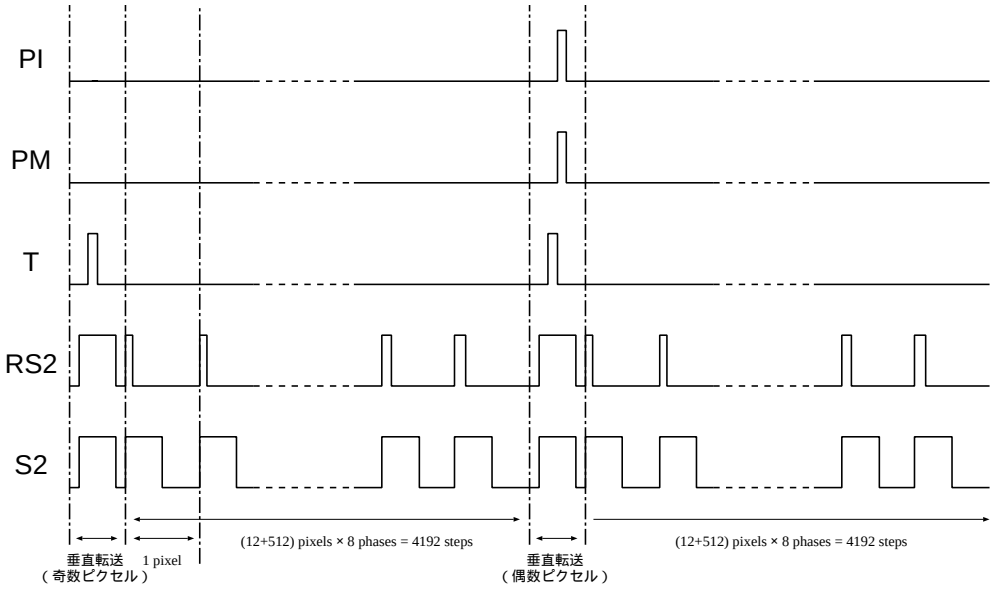


図 4.1: TC213 に印加したクロック。 1 画面を読み出すにはこれを 1024 回繰り返す。

読み出し、出力を AD コンバータで取り込んだ後に正しい順序に並び換えることによりイメージを得ている。

4.2 駆動方法

第 4.1節でも述べた通り、今回の駆動では 2 本ある読みだしゲートのうち片方だけを用いた。駆動に使用したパターンとサンプリング用のクロックを**図.4.1**に示す。このクロックは、[3][4][5] を参考にした。この方法を用いると、初めの 512 回の水平転送で $1, 3, 5, \ldots,$ 1023 番目のピクセルが、次の 512 回の水平転送で $2, 4, 6, \ldots,$ 1024 番目のピクセルが読み出され、この 2 回の水平転送で 1 ラインの読み出しが完了する。

今回用いた駆動方式では、受光面とストア領域との区別は特にせず、 1024×1024 ピクセル全てを逐次読み出す方式（フルフレーム転送）となっている。クロックの位相は、垂直転送には 6 位相、水平転送には 1 ピクセル当たり 8 位相を用いた。CCD に加えたクロックは、全て $+2$V と $-10V$ の 2 値クロックである。それぞれの駆動線の役割は、**表.4.1**に示す通りである。読み出し周期は、AD コンバータが対応し得る最高速度の 10μs/pixel とした。なお、アナログスイッチ部の出力は、特に高負荷となる受光部とストア領域の 2 本の垂直転送ゲートのみ電流バッファを用い、他のゲートは超高速 OP-AMP からの出力でダンピング抵抗を介して直接駆動した。

4.3 結果

駆動試験は、以下の様に三段階に分けて行った。

シンクロスコープでの出力確認 第一段階として、常温・常圧下で CCD を駆動し、その出力を直接シンクロスコープで観察して正常な信号形と光に対する反応が得られる事を

表 4.1: 印加するクロックの役割

信号名	役割
PI	受光部垂直転送クロック
PM	ストア領域垂直転送クロック
T	ストア領域→水平転送路転送クロック
RS2	読み出しゲート (2) リセットパルス
S2	水平転送路 (2) 転送クロック

RS1 と S1 は −3V で固定

確認した。

全装置をリンクしての光学像の取得 次に、CCD を真空中で冷却して作動させ、その出力を AD コンバータで取得することにより全装置の動作確認を行った。この時、CCD の前面に穴の空いたマスクを置き、画面取得を開始する直前に一瞬だけ光を照射することにより、マスクパターン通りの 2 次元像が取れることを確認した。

X 線像の取得 光による像が取得できた後は、実際に X 線を照射して X 線に対して CCD が感度を持つことを確認した。

以下、これらについて述べる。

4.3.1 シンクロスコープでのモニタ

初めのシンクロスコープでの観察段階では、期待される正常な信号形は得られたが、光を当てた時の出力レベルと反応速度、および 1 ラインを単位として見た時の出力パターンに異常が見られた。期待される正常な出力波形を**図.4.2**に示す。異常の具体的な症状は、ある程度までの光量では出力レベルに変化が見られず、そのレベルを越えると読みだしライン中の全てのピクセルでほぼ同時に出力が飽和するというものである。また、正常に動作しているのであれば転送時間中に生じた熱励起電子で光を当てなくてもある程度の出力があるはずが、光量が少ない状態ではほとんど出力が無かった。正常な動作であれば、この熱雑音に加え入射光の変化に対応して、電荷がストア領域を通過する時間だけ遅れた後出力に変化が見られるはずである。この遅れは、約2.7 秒であり、これは目で十分に確認できるはずの長さである。

この異常の原因を調べるため、CCD の各端子に供給されるクロックを順にモニタした所、受光部とストア領域の転送クロック（垂直転送クロック）のスルーレートが極端に悪化している事が確認できた。具体的には、垂直転送クロックに必要と思われるスルーレートが約 100V/μs なのに対して、実際に供給されていたクロックのスルーレートは約 30V/μs であった。

これらのクロックが送り出されるアナログスイッチ部の出口では約 300V/μs のスルーレートが確保されていること、他の端子に供給されているクロックのスルーレートは CCD 端子でも変わらないことから、このスルーレートの悪化は垂直転送ゲートの入力容量とアナ

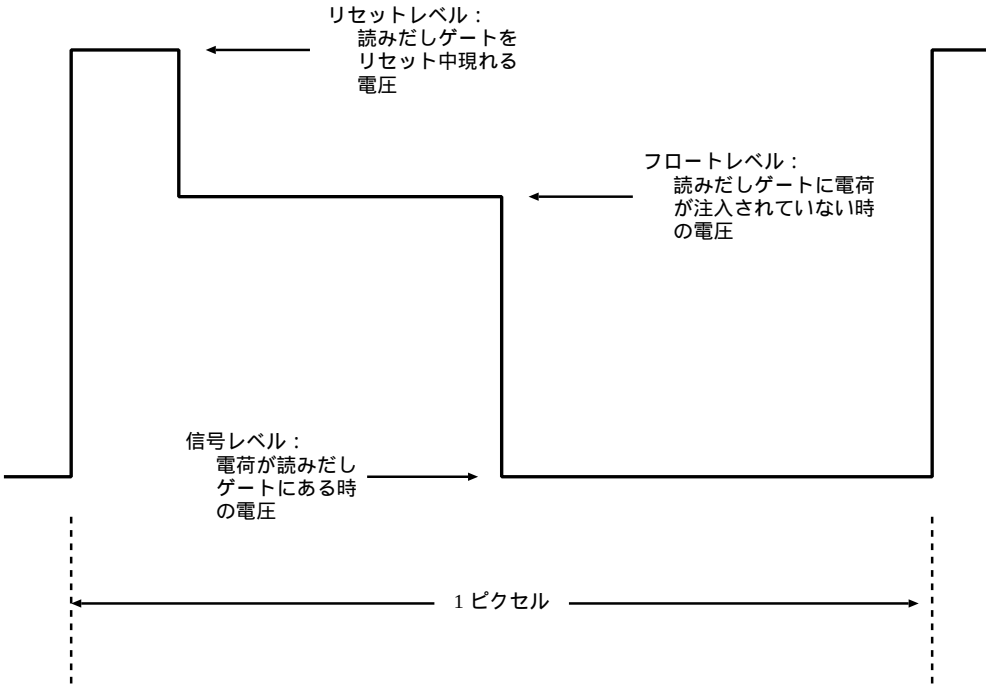


図 4.2: 正常な CCD 出力波形

ログスイッチ部の出力インピーダンス、および CCD とアナログスイッチ部とを接続するケーブルのインダクタンスにより形成されたローパスフィルタが原因であると推測された。そこで、垂直転送ゲートにクロックを供給している 2 本の出力からダンピング抵抗（第 2.3.2節参照）を取り除いた。この結果、垂直転送クロックのスルーレートは約 70V/μs まで改善された。

この結果、シンクロスコープによるモニタで CCD が正常に働いていることを確認した。これより、異常動作の原因は垂直転送クロックのスルーレート不足により垂直転送がうまくいかなかった事と考えられる。以下、異常動作時の信号出力について考察を加える。

異常動作時の出力　上で述べた通り、異常動作時の出力は入射光に対して位置依存性が無く、また一定値以上の光量を入れると急激に出力が飽和した。また、非飽和時は本来観察されるはずの熱雑音もほとんど無かった。

この熱雑音は素子の温度が高いほど、またピクセルが読み出されるまでの時間が長いほど増える。この事から熱雑音がほとんど出なかったのは、水平転送路にストア領域から電荷が転送されて来なかったため、水平転送路だけを速い周期で読み出していたためと考えられる。

一定入射光量まで出力が現れなかった事は、垂直転送が行われていなかったとするとうまく説明できる。しかし、一定光量以上で出力がいきなり飽和した事はこれだけではうまく説明できない。この現象は、CCD に特有のブルーミングにより説明可能と考えられる。ブルーミングとは、一つのピクセルに大量の光が入射した結果、大量に生じた電子が転送電極で作られたポテンシャル障壁を載り越え隣のピクセルへ侵入する現象である。生じた

電子が非常に大量の場合、隣のピクセルからもあふれ、さらに隣のピクセルへ電子が侵入していく事になる。今回見られた現象は、受光部で発生した電子がこのようにストア領域全域をあふれて水平転送路まで侵入してきた事が原因と考えると、うまく説明できる。ある程度以上の入射光量が無ければ出力が生じなかったのはブルーミングが水平転送路まで届かなかったからであり、その後出力がすぐに飽和したのはあふれた電子で水平転送路のピクセルがすぐに飽和したためであろう。また、入射光量の変化に応じて出力がすぐに変化したのは、ブルーミングは転送クロックのタイミングと無関係に起こるからと考えられる。

4.3.2 光を用いた画像取得

AD コンバータを用いて TC213 がイメージングデバイスとして働いていることを確認するには、このチップがフレーム転送型チップであるという事を考慮する必要がある。即ち、第 4.1節で述べたようにこのチップはフレーム転送型であるので、チップを受光部とストア領域に分けて使うのでなければ信号読み出しの間は光を当てないようにしなければならないという事である。このため、光源として発光ダイオードを用いたパターンジェネレータからの信号を受けて発光する回路を用い、パターンジェネレータからの信号で信号読み出しの直前に一瞬だけ光を当てるようにした。また、受光面上にイメージを作るため、チップの直前には複数の穴を空けた遮蔽材をおいた。これは厚さ 0.8mm のガラスエポキシでできたユニバーサル基板に遮光塗料を塗ったものである。また、この時の CCD 動作温度は $-70°C$ である。

このようにして得たイメージを、**図.4.3**に示す。領域全体のうち半分の何も映っていない部分は、遮光されたストア領域である。プリント基板の穴の位置だけ光が透過しているのが見てとれる。なお、光の像が円形から潰れているのは、かなり厚さのある[2]遮光材に光が斜めから当たっているためである。

4.3.3 X 線による画像取得

次に、光の代わりに X 線を遮蔽材を通して照射し、イメージを取得した。この X 線源としては、第 2.5.3節で示した X 線発生装置を用いた。画像取得直前に比例計数管で得た X 線源のスペクトルを**図.4.4**に示す。このスペクトルは**図.2.24**で示したものと異なり単純な正規分布では表せないが、その原因については現在調査中である。比例計数管でカウントされたイベントレートより求めた CCD への入射 X 線強度は、約 $180\mathrm{photons/s/cm^2}$ である。

図.4.5に、光の時と同一の遮蔽材を用いた時に得られたイメージを示す。この時の露出時間は、200 秒である。一見してわかる通り、X 線を照射した場合の像は、光を照射した時と違い遮光材開口部に点状に明るいピクセルが分布している。これら一つ一つが X 線によるイベントである。イベントの集合の形が光による像と異なるのは、可視光と X 線の入射角度の違いによるものである。また、このイメージの下の方に、宇宙線によると思われる線状のイメージが写っている。

[2]ユニバーサル基板の穴の直径は 0.8mm なので、穴の直径と同じだけの厚さがあることになる。

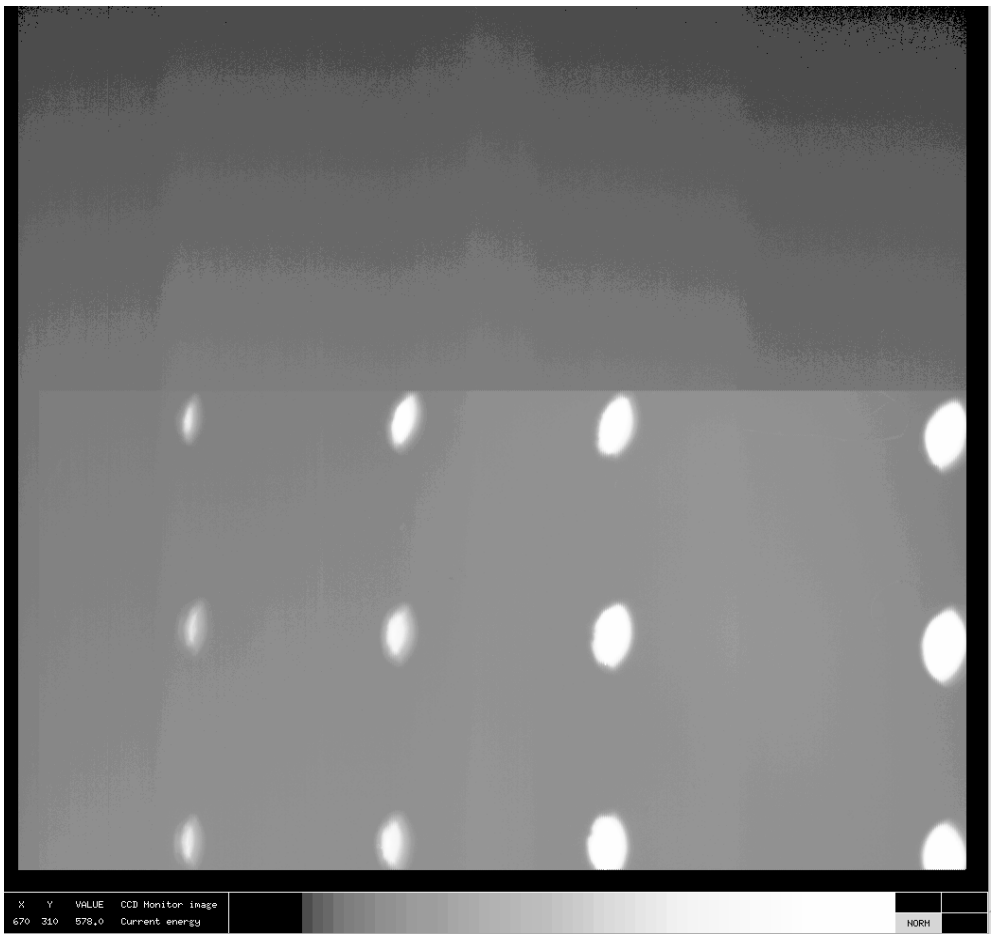


図 4.3: 光によるイメージ。ただし、1024×1024 ピクセルのうち上の方の一部は写っていない。全体の約半分を占める暗い領域は、チップ上の遮光膜でマスクされた領域である。

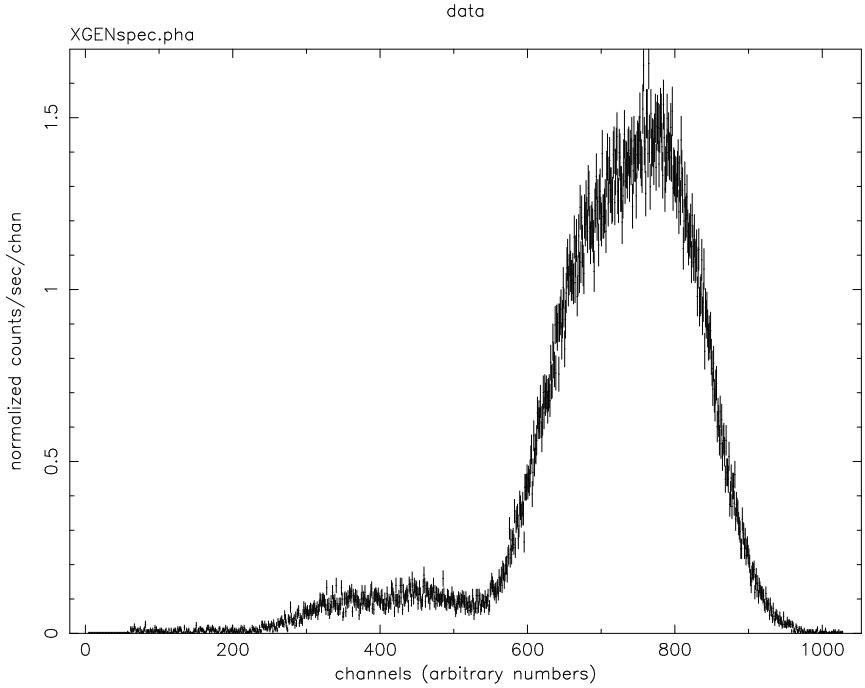


図 4.4: 比例計数管で得たCCDに照射したX線のスペクトル。**図.2.24**との食い違いの原因は不明である。

図.4.5の一部をを拡大したものを、**図.4.6**に示す。この図を見ると、明るいピクセルは孤立したものだけでなく、しばしば複数が隣あっていることがわかる。これらは、たまたま隣あったピクセルに別々のX線光子が入射したケースの他に、単一光子がたまたまピクセルとピクセルの間に入射し、その結果生じた電子群が複数のピクセルにまたがって分布したケース（マルチピクセルイベント）もあると考えられる [3][4][5]。

このようにして得られたX線像の各ピクセルから、各ピクセル毎のバックグラウンドレベルを引いて得られた値のスペクトルを**図.4.7**に示す。このバックグラウンドレベルは、X線を当てない複数の画面を平均することにより各ピクセル毎に得たものである。このヒストグラムには+25チャンネルのオフセットが付けられている。この図を見てわかるように、X線照射時と非照射時では明らかにヒストグラムの分布が異なる。X線非照射時のスペクトルを用いると、システムノイズの大まかな評価ができる。これは、入射X線が全く無い時のスペクトルはシステムノイズによる揺らぎだけが現れることを用いる。**図.4.7**から、この揺らぎは半値幅で約80電子、入射X線に換算して約300eVとなる。

X線照射時の連続成分の肩は、CCDの出力アンプ系のゲインとADコンバータの特性から求めたステンレス箔フィルタの電離吸収端と、大体において一致している[3]。一見してわかる通り、比例計数管の出力から推測されるラインはここでは見えず、ただ連続した成分が現れているだけである。

本来ラインとして得られるはずのヒストグラムが低エネルギー側へ広がってしまってい

[3] しかし、10% 程度の食い違いが見られる。この原因として、CCD内部のチャージアンプゲインの公称値からのずれが考えられる。

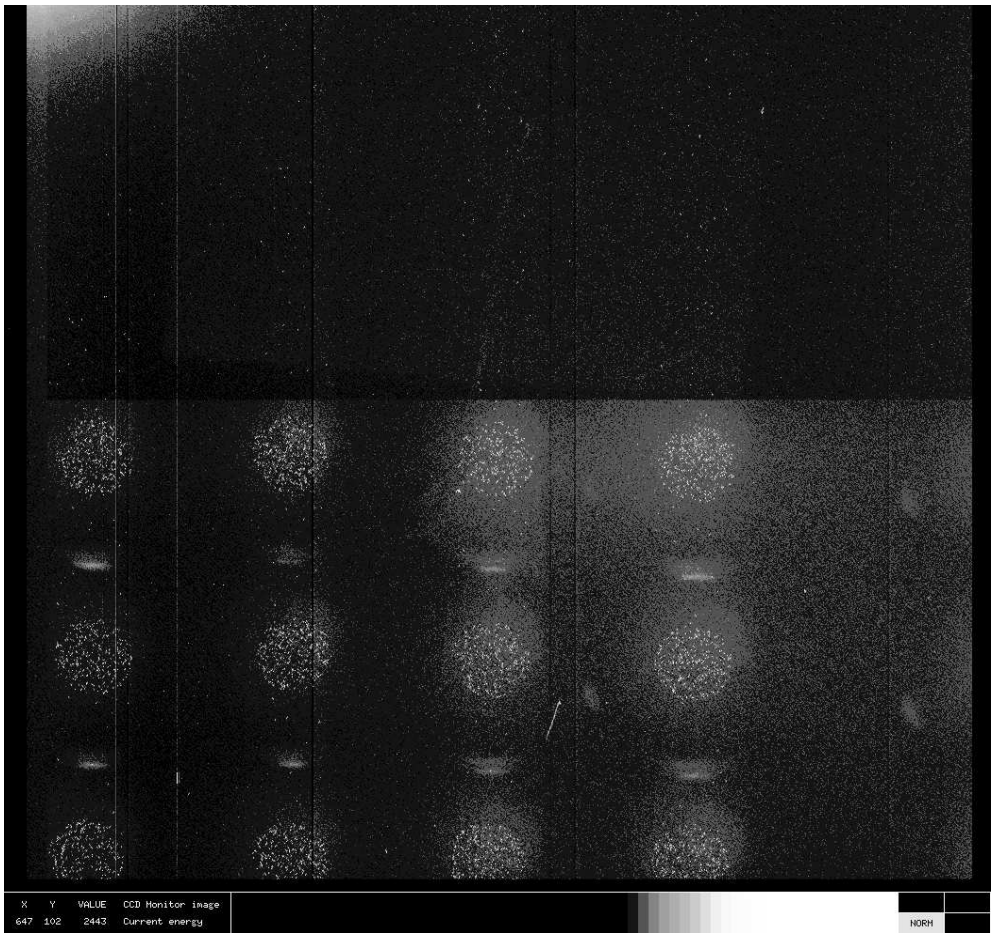


図 4.5: X 線で取ったイメージ。照射時間は 200 秒。明るい点が X 線によるイベント。拡がった薄いイメージは光洩れによる物である。画面下方に宇宙線によると思われる線状のイメージがある。

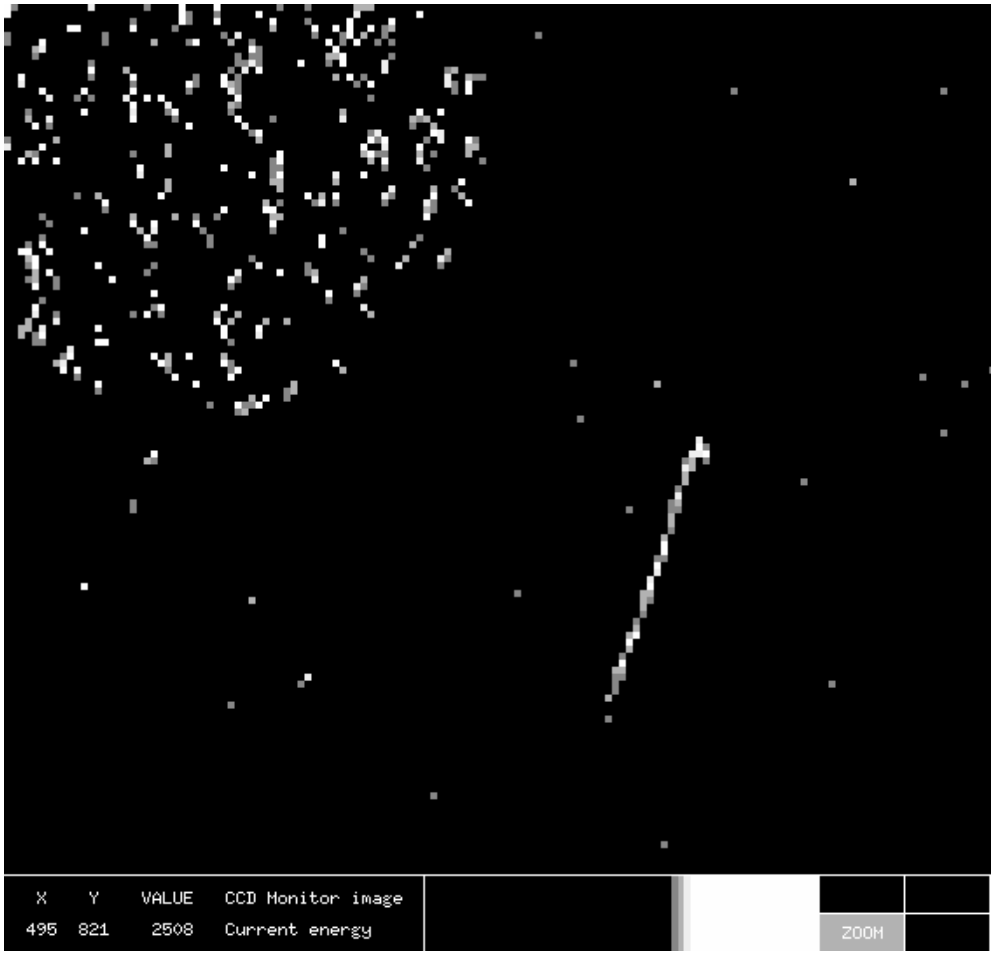
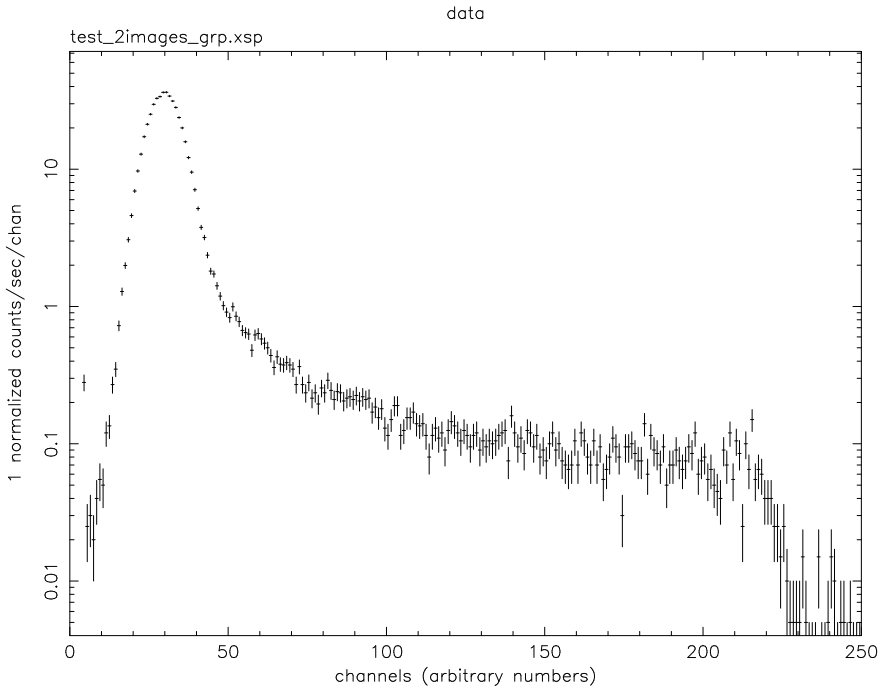
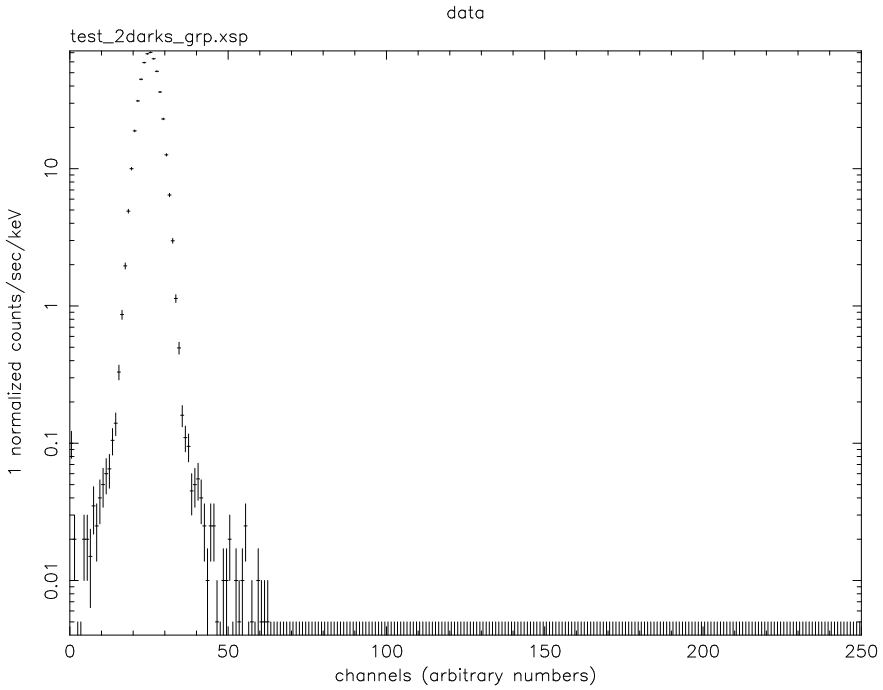


図 4.6: **図.4.5**の部分拡大図



(a)



(b)

図 4.7: X 線像の各ピクセル毎のバックグラウンド平均からのずれのヒストグラム。(a) は X 線照射時の、(b) は非照射時の像（バックグラウンド像）のものである。両者とも、+25 チャンネルのオフセットが付いている。(a) のヒストグラムのピークが (b) より高いのは、X 線発生装置からの光洩れかもしれない。

る原因としては、前述のノイズの他に、フィルタにより本来線スペクトルであるべきX線源の出力がそうはなっていないらしい事、前述のマルチピクセルイベントが多数あり、その結果一つの光子のエネルギーが複数のピクセルに分散した事などが考えられる。

これらについてのデータ処理方法の研究とノイズの低減は、今後の研究課題である。

第 5 章

今後の課題

今回の実験で、本装置によりCCDの駆動と画像の取得、およびCCDデバイスをX線検出器として動作させることに一応成功した。しかし、そのヒストグラムを見るとデータ取得系はCCDのエネルギー分解能を完全に引き出し得るレベルに達していないなど、まだASTRO-Eのための CCD 評価を開始する以前に改善しなければならない点も残っている。これを解決した後、CCD 評価作業とデータ処理方法の研究を行うことになる。

今後の装置の改善課題としては、以下の事柄が挙げあられる。

読み出しノイズの低減 第4.3.3節で示した通り、現在のデータ取得系にはまだかなりの大きさのノイズが乗っていると思われる。このノイズにより劣化したエネルギー分解能は、ガスカウンタ等と比較するとそれでもかなり良い値ではあるが、CCD の出力であることを考えた場合は明らかに大き過ぎる値である。これの改善策としては、CCD からの出力を受ける初段 FET の見直し、信号や電源の配線の見直し等が考えられる。

データ転送の高速化 現在のデータ取得速度は、1 枚の画像の取得におよそ 30 秒かかっている。この第一の原因は、データ取得部のソフトウェアが最適化されていないことであり、これを改善することによりデータ取得時間を 10 秒／画面程度まで縮めることが可能である。さらに AD コンバータにより高速なものを用いると、1 秒／画面程度にまで縮めることが可能であると考えられ、衛星上での駆動条件（「あすか」の場合で 4 秒／画面）を実現できることになる。

これらの事を改善しつつ、ASTRO-E 搭載用の CCD の評価作業とデータ処理方法を研究することになる。それらは、以下のような物になると考えられる。

データ分析方法の研究 現在、「あすか」ではホットピクセルや温度によるダークレベルの変動、光洩れなどによるデータ品質の劣化やテレメトリの食い潰しが問題となっている。これらは、軌道上から地上に大量のデータを降ろせないことが特に問題解決を難しくしている。そのため ASTRO-E では、あらかじめ地上でこれらの諸性質を十分に研究し、軌道上の自動処理でこれらの問題を除去する手段を開発する必要がある。

効率的な校正方法の模索 軌道上で用いる検出器の校正は、当然その動作環境である軌道上で行われなければならないが、CCD はその高い位置・エネルギー分解能から校正パ

ラメータが膨大になり、現実に「あすか」でもCCDの校正にかなりの困難を強いられている。ASTRO-Eでは「あすか」以上の数のCCDを載せる計画であるため、現状のままでは軌道上校正は事実上不可能となる恐れがある。そこで、効率的な校正方法を確立する必要がある。

読み出し方法の研究 読み出しノイズを減らしエネルギー分解能を上げる方法として、さらなる低ノイズアンプの開発や、サンプリング方法の検討が考えられる。

以上のような点を中心に、1999年のASTRO-Eの打ち上げに向けて衛星搭載品の開発を行うことになる。

謝辞

本研究にあたり、たくさんの方のご援助を賜わりました。

大阪大学理学部の常深博助教授、林田清氏、宮田恵美氏には阪大のシステムについて色々と教えていただきました。特に真空槽関係とCCDマウントヘッドまわりについては常深氏に、CCDドライブ系については林田氏に、駆動信号の実際については宮田氏にお世話になりました。

東京大学理学部の高橋忠幸氏と平山昌治氏には、東大気球実験のシステムについて色々と教えていただきました。

東京大学教養学部の上野宗孝氏には、CCD出力の処理方法について色々と教えていただきました。

京都大学理学部素物性研究室の延与秀人氏には、全体のデータ処理系について色々と教えていただきました。

京都大学理学部宇宙線研究室の皆様には、有形無形の御助力をいただきました。指導教官である小山勝二教授には、研究全般に渡りお世話になりました。また、真空系の設計にも多大なる御助力をいただきました。鶴剛氏には、駆動系およびデータ取得系設計の相談に乗っていただき、また実際にデータ取り込みルーチンを書いていただきました。校正用比例計数管の信号処理ルーチンも、氏の手によるものです。同時に、何日もの深夜実験につきあっていただきました。粟木久光氏には、校正用比例計数管を提供していただきました。杉村氏には、取得したデータのQuick Lookルーチンを書いていただきました。この出力は、本論文の図にも使われています。上野史郎氏には、真空用フランジの設計と加工、およびX線源全般の整備とオペレーションを行っていただきました。松本浩典氏には駆動系保護用構体の加工を、前田良知氏には駆動用ケーブルの作成をしていただきました。同じ研究室内で修士論文研究にあたられた林一蔵氏、塚本宏之氏、大屋真氏の存在は、この上ない刺激となりました。

本論文でも触れられているNOVAは、高エネルギー物理学研究所の能町氏によるものです。

皆様に、この場を持ちましてお礼申し上げます。また、ここに挙げなかった方にも色々とお世話になっているはずです。これは、単に筆者の記憶力不足のためです。その節は、どうか御容赦ください。

参考文献

[1] 宇宙科学研究所 SES データセンター, 1993, 科学衛星 ASTRO-D 実験計画書

[2] トランジスタ技術 special No.42, CQ 出版, 1993

[3] 河合 真一, 1991, 大阪大学大学院理学研究科修士論文

[4] 和田 幹生, 1993, 大阪大学理学部修士論文

[5] 野本 進, 1993, 大阪大学理学部修士論文

付録 A

パターン発生部回路図

本章では、パターン発生部の回路動作をいくつかのブロックに分けて解説する。

A.1　ハンドシェーク回路

ハンドシェーク回路を**図.A.1**に示す。この回路は、パターン発生部と制御CPU との間でのデータ転送（データポート）およびモード設定（コントロールポート）の制御を行う。

パターン発生部と制御CPU 間のやりとりは、CPU 側のPIO ボードの仕様の関係でデータの読み出しと書き込みとで異なるI/O ポートを用いる。このため、本回路はデータ書き込み用と読み出し用とで独立したハンドシェークユニットを用いる。使用するユニット数は、データポート用に偶数／奇数バイトそれぞれでの読み書き用、コントロールポート用に偶数／奇数バイトそれぞれで書き込み用の計6 ユニットを用いる。

データポート書き込み用のユニットとそれ以外のユニットとでは、その動作が一部異なる。それぞれの動作のタイミングチャートを**図.A.2**に示す。データポート書き込み用ユニットが他のユニットに比べ1 システムクロック分長くTRG* をアサートするのは、CPU から偶数／奇数バイトを同時に書き込む場合（ワード書き込み）の事を考慮しての事である。これは、CPU 側のPIO ボードによっては、上位バイトと下位バイトの書き込みタイミングがずれる場合がある事を想定している。両バイトの書き込みタイミングがシステムクロックの1 クロック分以上の間隔を持ってずれた場合、出力されるTRG* の長さがシステムクロック1 クロック分しか無いとハンドシェーク回路のCOUNT* 出力が1 回の書き込みで2 回アサートされる事になる。この様子を**図.A.3**に示す。この様な場合、CPU では16bit データを書き込んだつもりが、実際に書き込まれるのは上位8bit と下位8bit が分離されて書き込まれることになる（**図.A.4**）。

また、コントロールポートの奇数バイト側のトリガは、リセット信号がアサートされている時には必ずネゲートされるようになっている。これは、後述のバッテリーバックアップに対応した時、電源の投入・切断時に保持データが消去されないようにするための措置である。

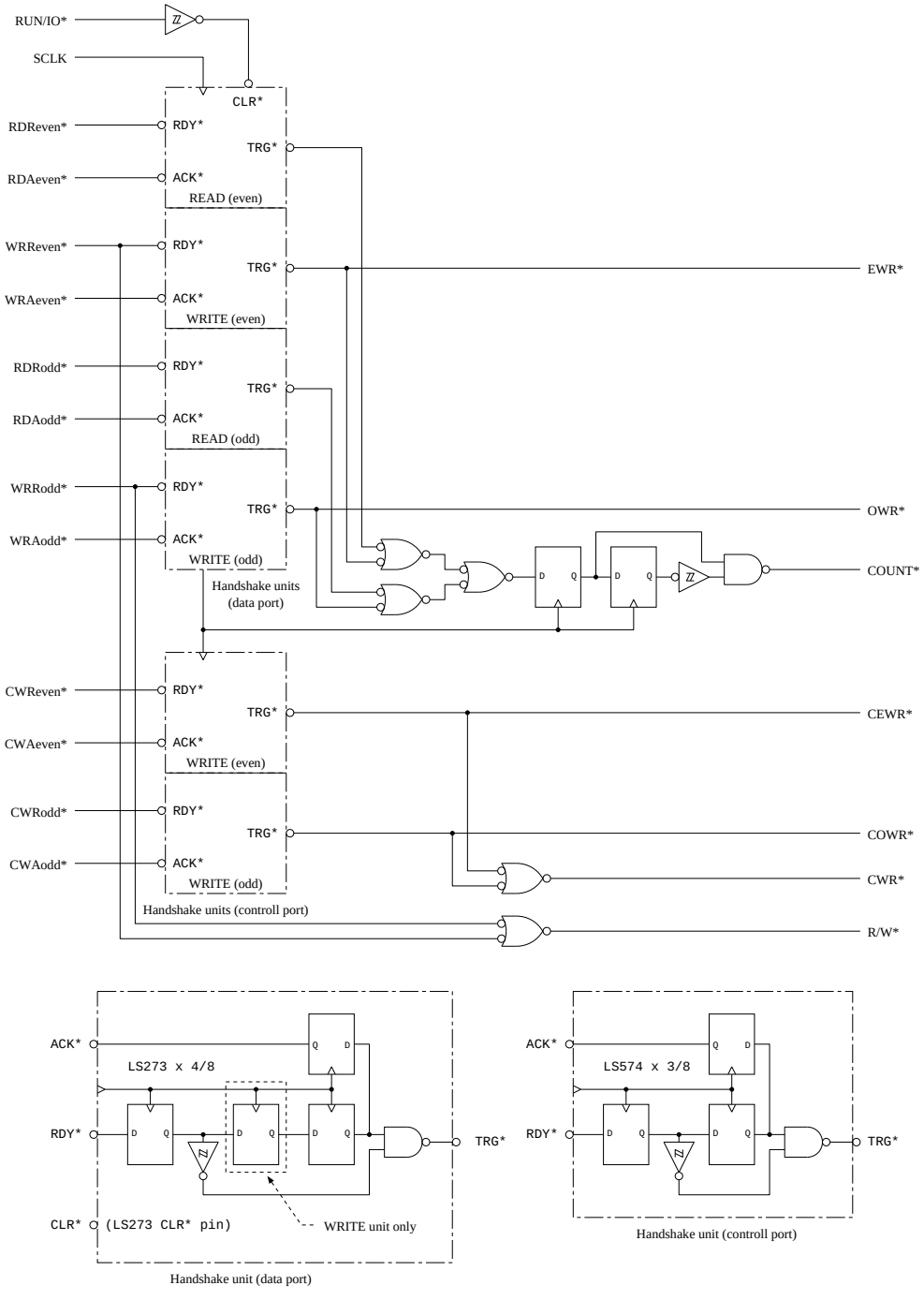


図 A.1: ハンドシェーク回路

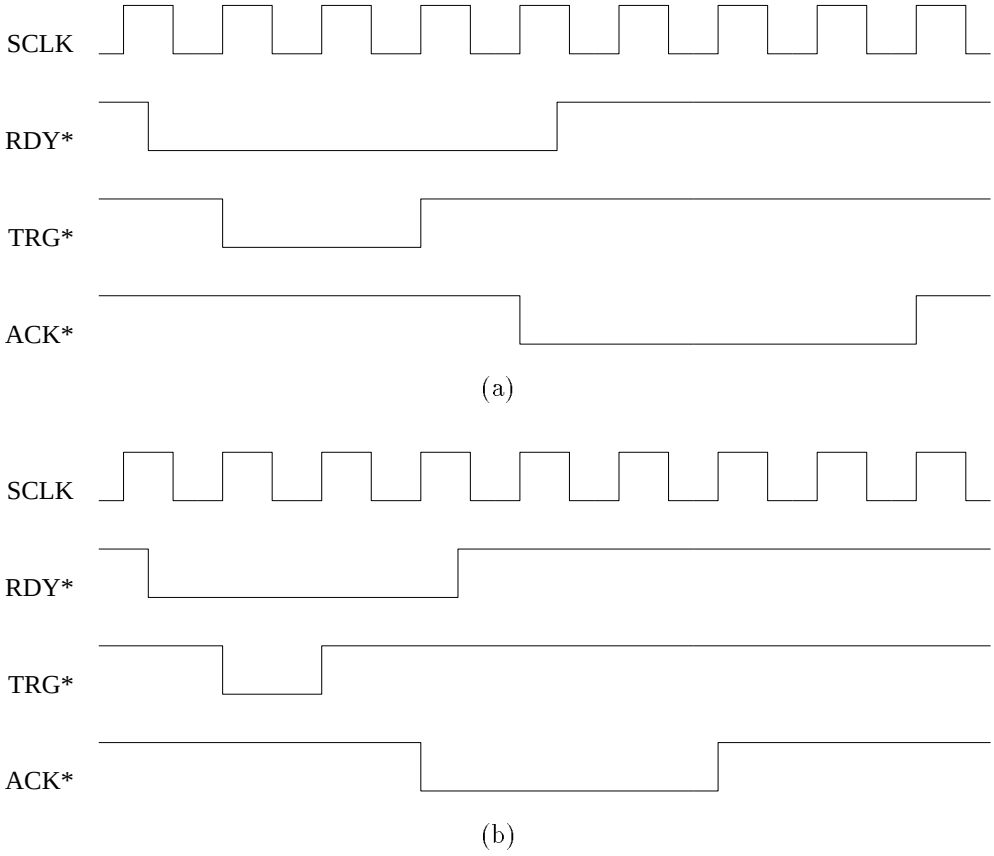


図 A.2: (a) データポート・ write のハンドシェーク回路のタイミング。(b) データポート・ read ／コントロールポートのハンドシェーク回路のタイミング。

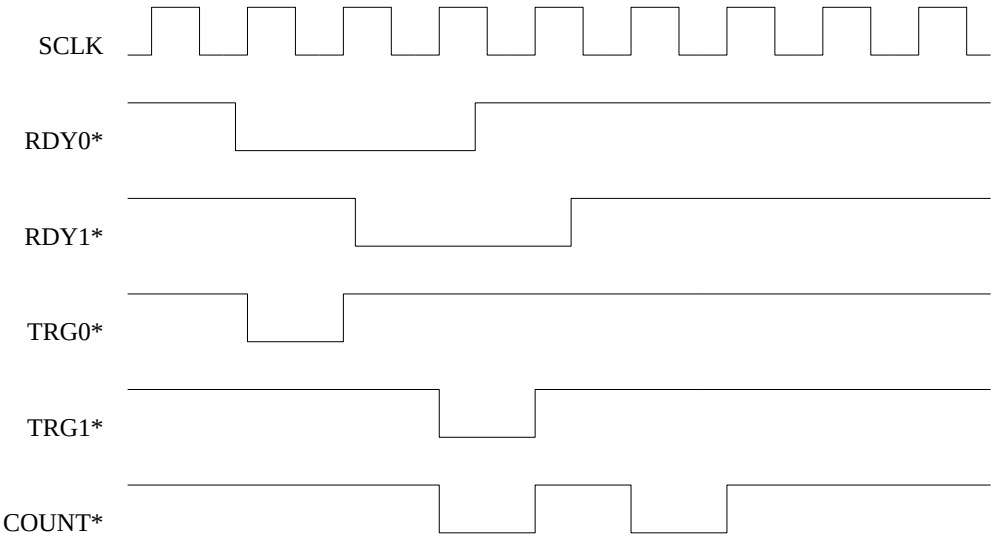
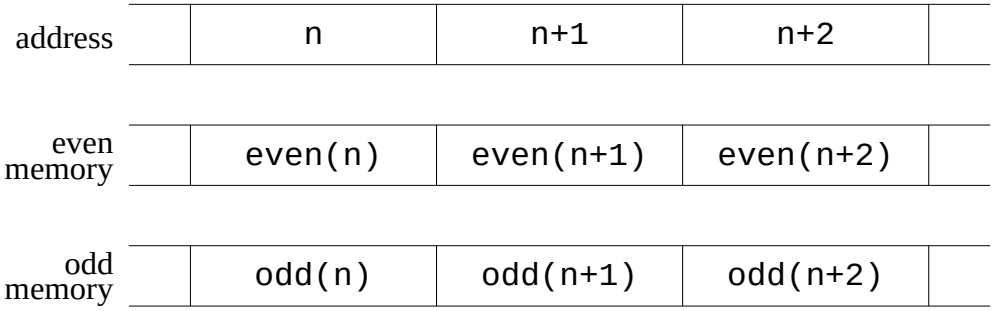
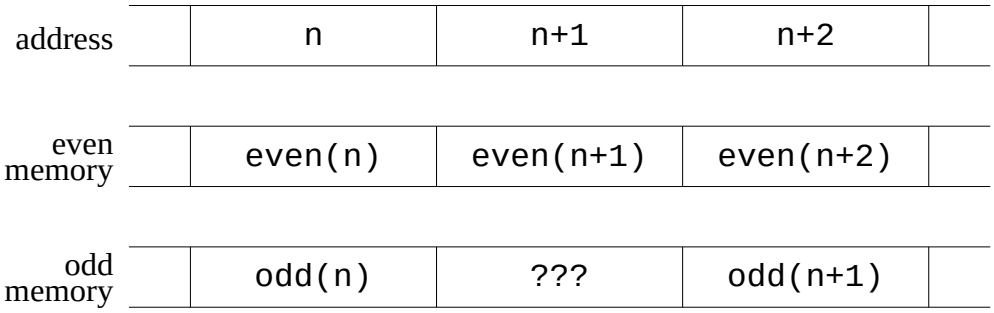


図 A.3: ワード書き込みのタイミングと COUNT* ハザード



(a)



(b)

図 A.4: COUNT* ハザードが発生した場合のメモリイメージの例。(a) 本来期待するメモリイメージ。(b) **図.A.3**の COUNT* ハザードが発生した場合のメモリイメージ。

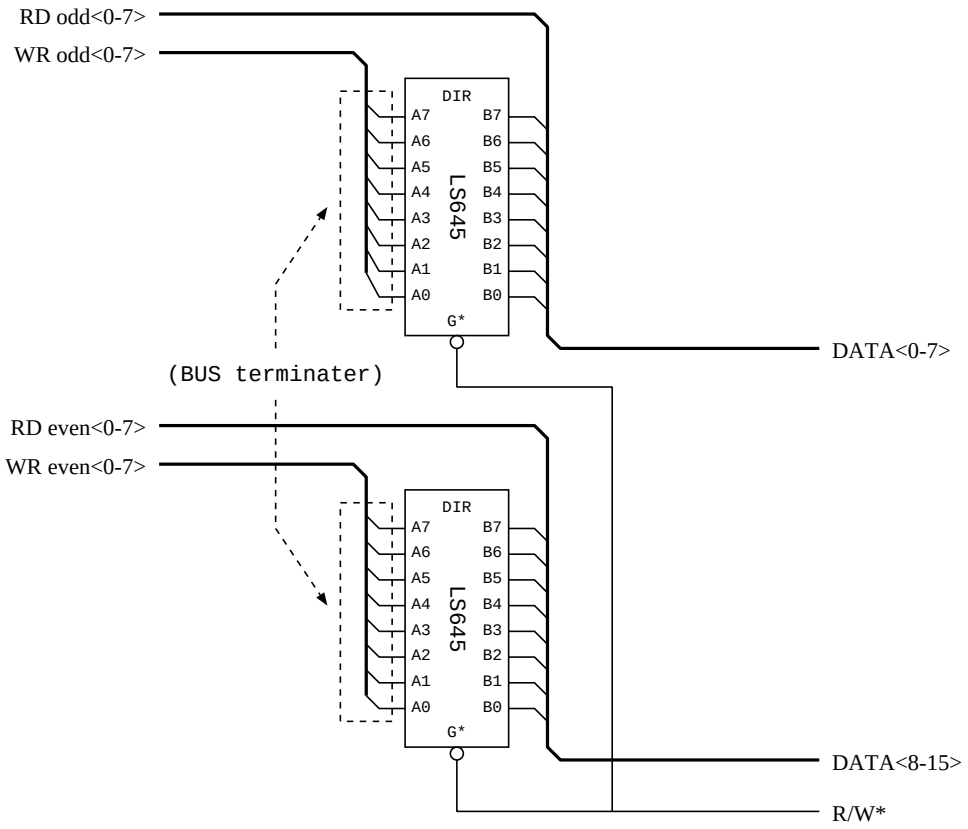


図 A.5: データ I/O 回路図

A.2 データ I/O

データ I/O 部の回路を**図.A.5**に示す。この部分は、パターン発生部の内部データバスと制御用 CPU の PIO からの信号線との接続を担う。内部バスと読み出し線とは直結しており、この部分の実質的な働きはパターン等の書き込み時に内部バスへ書き込みデータを流す事だけである。しかし、デバイスとしては 3 ステートバッファではなくバストランシーバを用いているので、現在の書き込み信号線を将来的には少しの改造で読み出し・書き込み両用の信号線にできる様になっている。

A.3 制御回路

制御部の回路を**図.A.6**に示す。制御部は、制御用 CPU からの信号を元に現在の動作状態を決める状態制御部と、その状態に応じて各部に供給するクロック及びシグナルを作り出すクロック生成部から成る。

A.3.1 状態制御部

状態制御部は、RUN モードと I/O モード間の状態遷移の制御、RUN モード時の再生シーケンスの制御、および I/O モード時の書き込み・読み出しメモリの指定を行う。これ

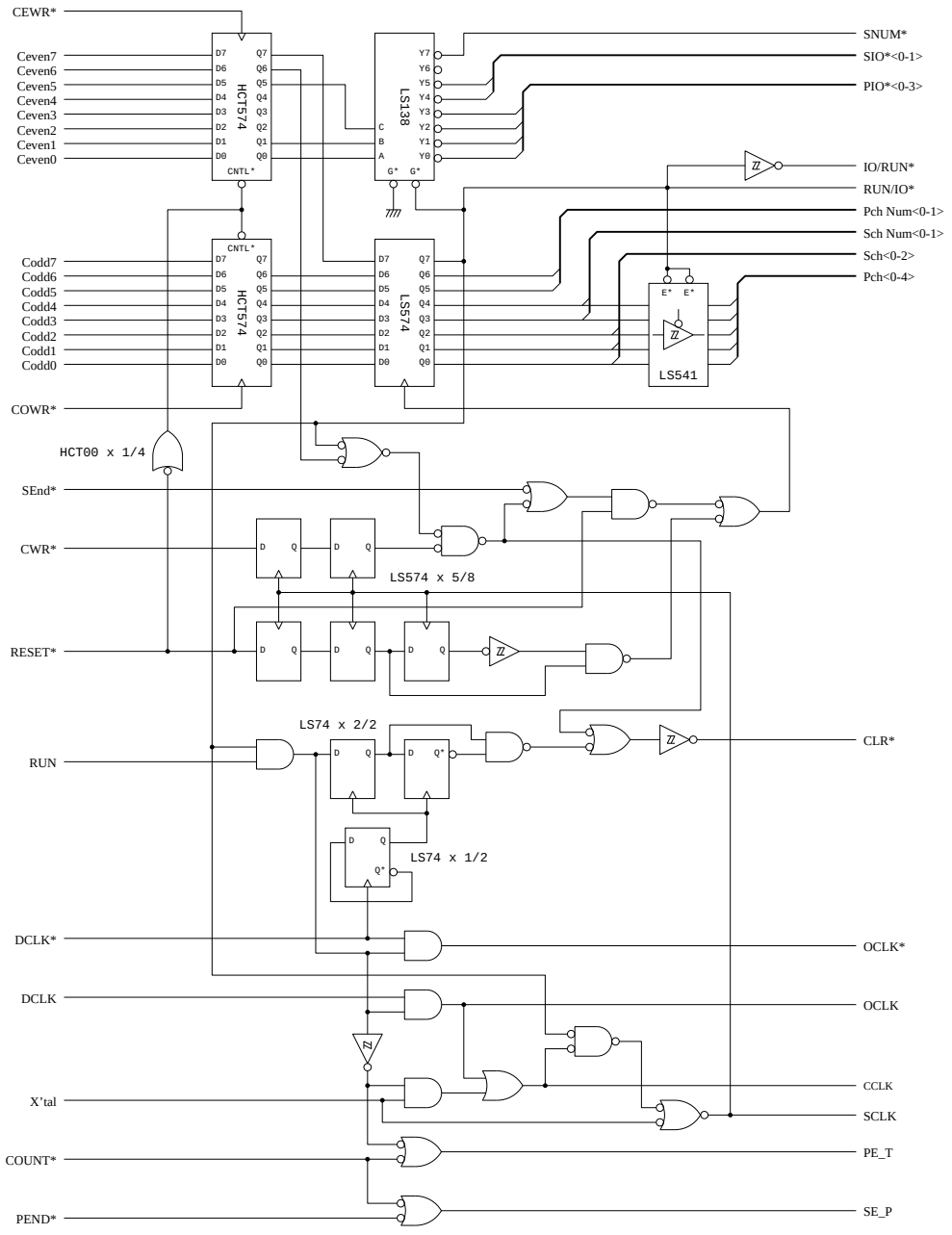


図 A.6: コントロール部回路図

らの各情報は、コントロールポート入力部のD-FFとその後のD-FFにより保持・制御される。コントロールポートの各データ線の割り振りを、**表.A.1**に示す。これらのD-FFのうち、再生シーケンスデータを保持しているD-FFはC-MOSロジックを使用しており、必要に応じてバッテリーバックアップに対応できる設計となっている。

モード状態や再生シーケンス等が遷移する時には、遷移のきっかけとなる信号の種類に応じて2段のD-FFにクロックが送り込まれる。以下に、各信号とそれに応じた動作を示す。

RESET* RESET*は、電源電圧の低下時とマニュアルリセット時に専用ICから発行される信号である。この信号がアサートされると、コントロールポート奇数バイトの入力D-FFのCNTL*入力がネゲートされ、このD-FFの出力をハイ・インピーダンスにし外部へ電流がながれないようにする。これは、バッテリーバックアップ時に大量の電流を消費しないようにするための措置である。RESET*がネゲートされると、直ちにCNTL*をアサートして入力D-FFの出力を出し、その後時間をおいてから後段のD-FFにクロックを供給してバックアップされていたデータをリストアする。

CWR* コントロールポートへ書き込みが行われると、COWR*やCEWR*が同時にまたは片方だけがアサートされ、同時にCWR*が必ずアサートされる。COWR*/CEWR*がネゲートされると、初段D-FFへデータが読み込まれる。これと同時にCWR*もネゲートされ、システムクロック2サイクルの遅延を取った後、読み込まれたコントロールポートデータのBREAK*（**表.A.1**）フラグがアサートされている場合に限り2段目のD-FFに供給され、データは2段目のD-FFに転送される。BREAK*フラグがネゲートされている場合は、データは2段目には転送されない。いずれの場合でも、データは1段目のD-FFにも保存される。

SEND*/PEND* PEND*とSEND*が同時にアサートされるのは、一続きのシーケンスの最後のパターンの最後のステップが出力されている時であり、次のクロックで新しいシーケンスの再生が始まったりI/Oモードに移行したりする事になる。この、次の動作状態はコントロールポートの1段目のD-FFに記憶されており、PEND*とSEND*がネゲートされると同時に2段目のD-FFに転送される。

A.3.2 クロック生成部

クロック生成部は、装置の動作状態による駆動クロックの切替と、各部からのシグナルに基づく各種制御信号の生成を行う。関連する信号は、以下の通りである：

X'tal 装置に搭載されている水晶オシレータからの入力である。この信号はSCLKの元になる他、I/O mode時にはCCLKの生成にも用いられる。

DCLK/DCLK* 外部から供給されるクロックを1/2に分周したものである。RUN mode時はこのクロックをタイムベースにパターンを出力する。

COUNT* ハンドシェーク回路からの入力である。この信号がアサートされている間は、各部のカウンタはCCLK（後述）に同期して無条件にカウントを行う。

表 A.1: コントロールポートの割り振り

bit	even	odd	
		RUN & シーケンス I/O 時	パターン I/O 時
7	RUN/IO*	未使用	
6	BREAK*	Pch 数 $_1$‡	
5	SEQ/PTN*	Pch 数 $_0$‡	
4	未使用	Sch 数 $_1$‡	Pch_4‡
3	未使用	Sch 数 $_0$‡	Pch_3‡
2	未使用	Sch_2‡	Pch_2‡
1	CS_1†	Sch_1‡	Pch_1‡
0	CS_0†	Sch_0‡	Pch_0‡

†: SEQ/PTN* の値により以下のように役割が変わる：

SEQ/PTN*	CS_1	CS_0	アクセス・メモリ
H	1	1	シーケンス・ステップ数メモリ
H	1	0	未使用
H	0	1	シーケンスメモリ（パターン・ナンバー*）
H	0	0	シーケンスメモリ（パターン・ステップ数）
L	1	1	パターンメモリ（bit 63–48**）
L	1	0	パターンメモリ（bit 47–32**）
L	0	1	パターンメモリ（bit 31–16）
L	0	0	パターンメモリ（bit 15–00）

*: データは Deven<7–0> のみ有効

**: 未実装

‡: パターン／シーケンス指定レジスタ

P/Sch 数 $_{1/0}$		パターンの個数	シーケンスの個数	最大ステップ数
1	1	32	8	4096
1	0	16	4	8192
0	1	8	2	16384
0	0	4	1	32768

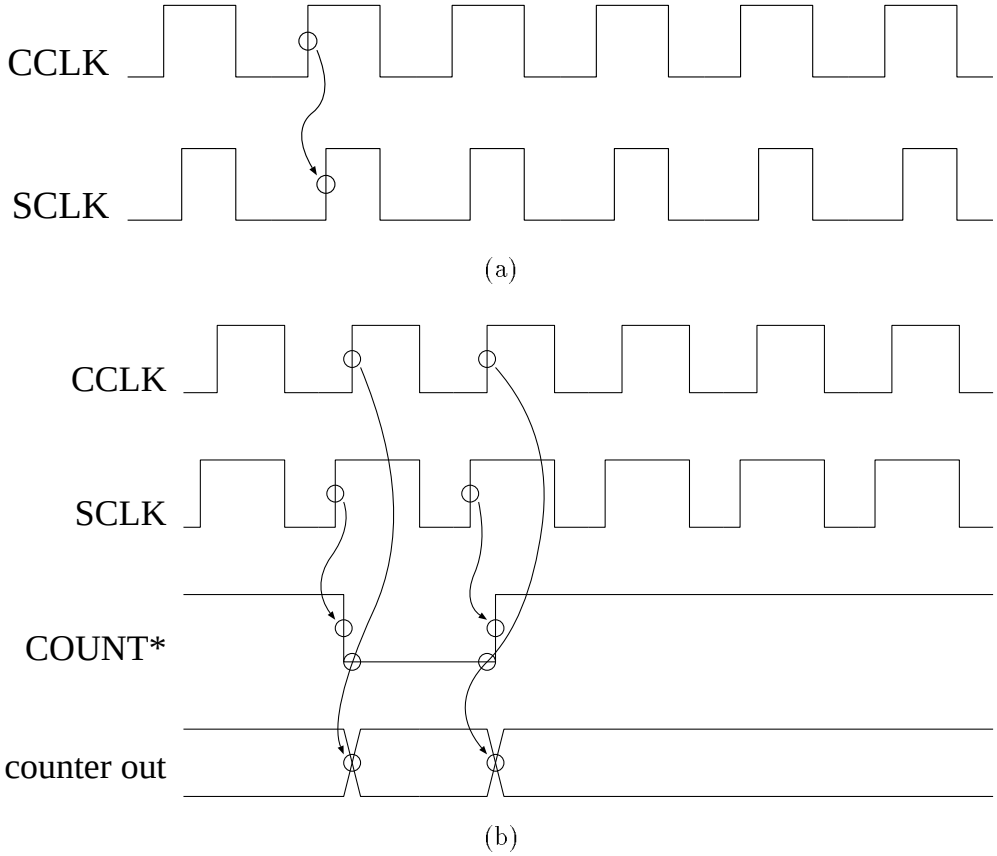


図 A.7: (a)I/O mode時のSCLKとCCLKの関係図。(b)SCLKの立ち上がりがCCLKより早い場合に起こり得る誤動作。2回目のcounter outの遷移は意図せざるものであり、COUNT*のSCLKに対する立ち上がりと立ち下がりの応答時間が違うこと等により起こる。この違いは、用いるICの性質によるものである。

PEND* パターンカウンタからの入力である。パターンカウンタが再生中のパターンの最後のアドレスを出力しているときにアサートされる。この信号がアサートされている間は、シーケンスカウンタはCCLKに同期して無条件にカウントを行う。

RUN マニュアルコントロール用入力である。これがネゲートされている間は、RUN modeであってもパターン再生を行わない。

CCLK カウンタクロック出力である。各部のカウンタは、全てこのクロックに同期してカウント／リセット動作を行う。I/O mode時にはX'tal入力が、RUN mode時にはDCLKが用いられる。

SCLK システムクロック出力である。I/O mode時には立ち上がりがCCLKの立ち上がりより遅くなるような回路構成となっている。これは、COUNT*信号がSCLKをもとに生成されており、そのためSCLKの立ち上がりがCCLKよりわずかに早い場合、カウンタが誤動作する可能性があるためである。この様子を、**図.A.7**に示す。SCLKは、状態制御部とハンドシェーク回路に供給される。

OCLK/OCLK* 外部出力バッファ同期用クロック出力である。パターン出力はこのクロックに同期して外部へ出力される。同時に、これらのクロックも外部へ出力される。

CLR* 各カウンタへの強制クリア出力である。これは、RUN mode への遷移時と I/O mode でのコントロール・ポートへの書き込時、および RUN mode 中の BREAK* フラグ（**表.A.1**）を立てたコントロール・ポートへの書き込み時にアサートされる。

A.4 シーケンス / パターンメモリ

シーケンス／パターンメモリの構成は、**図.2.10**に示した通りである。実際の回路図を、**図.A.8**〜**図.A.10**に示す[1]。

[1] 解説はしません。**図.2.12**を参考に頑張って回路図を読んで下さい。:-)

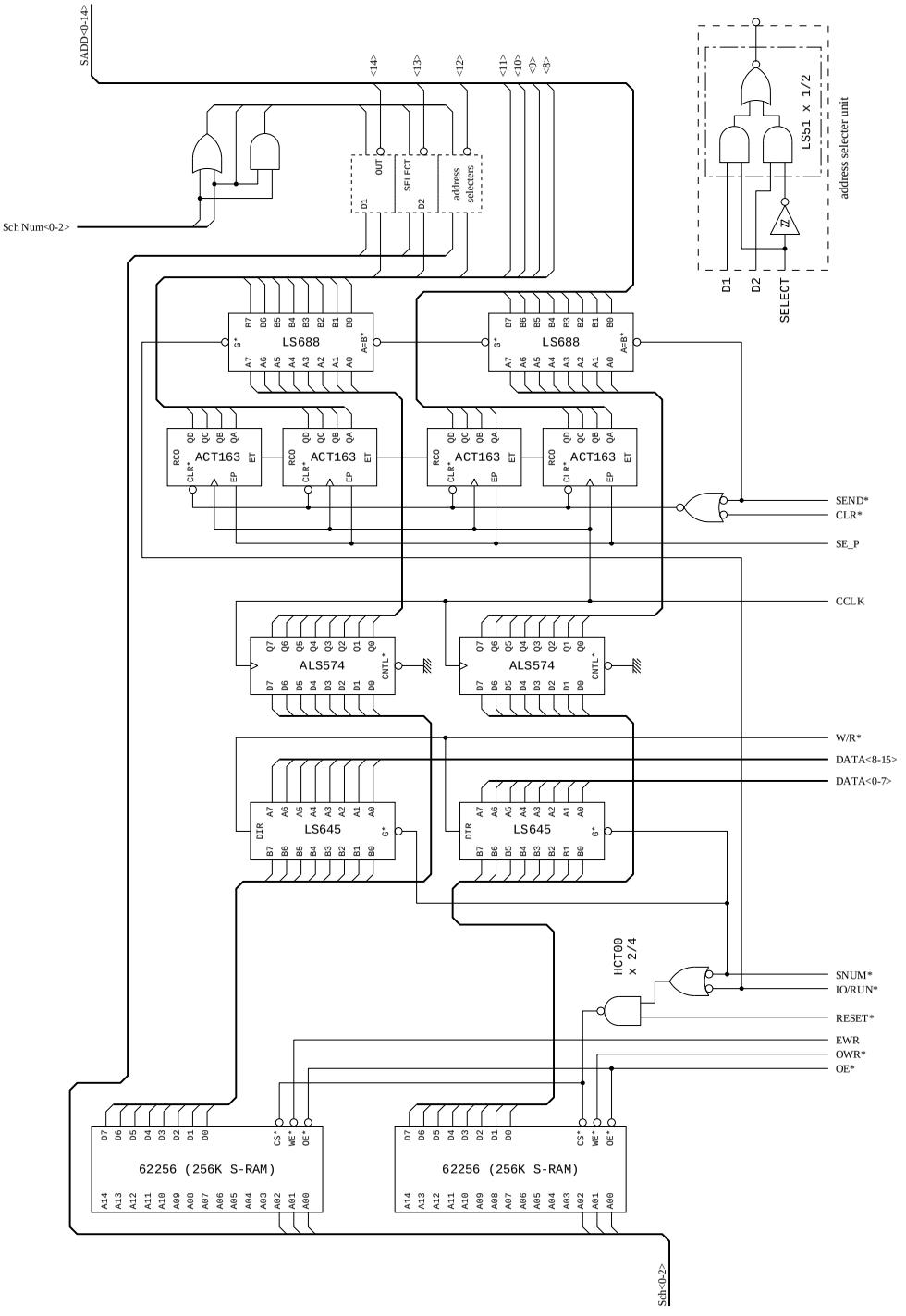


図 A.8: シーケンス・ステップ数メモリとシーケンスカウンタ部の回路図

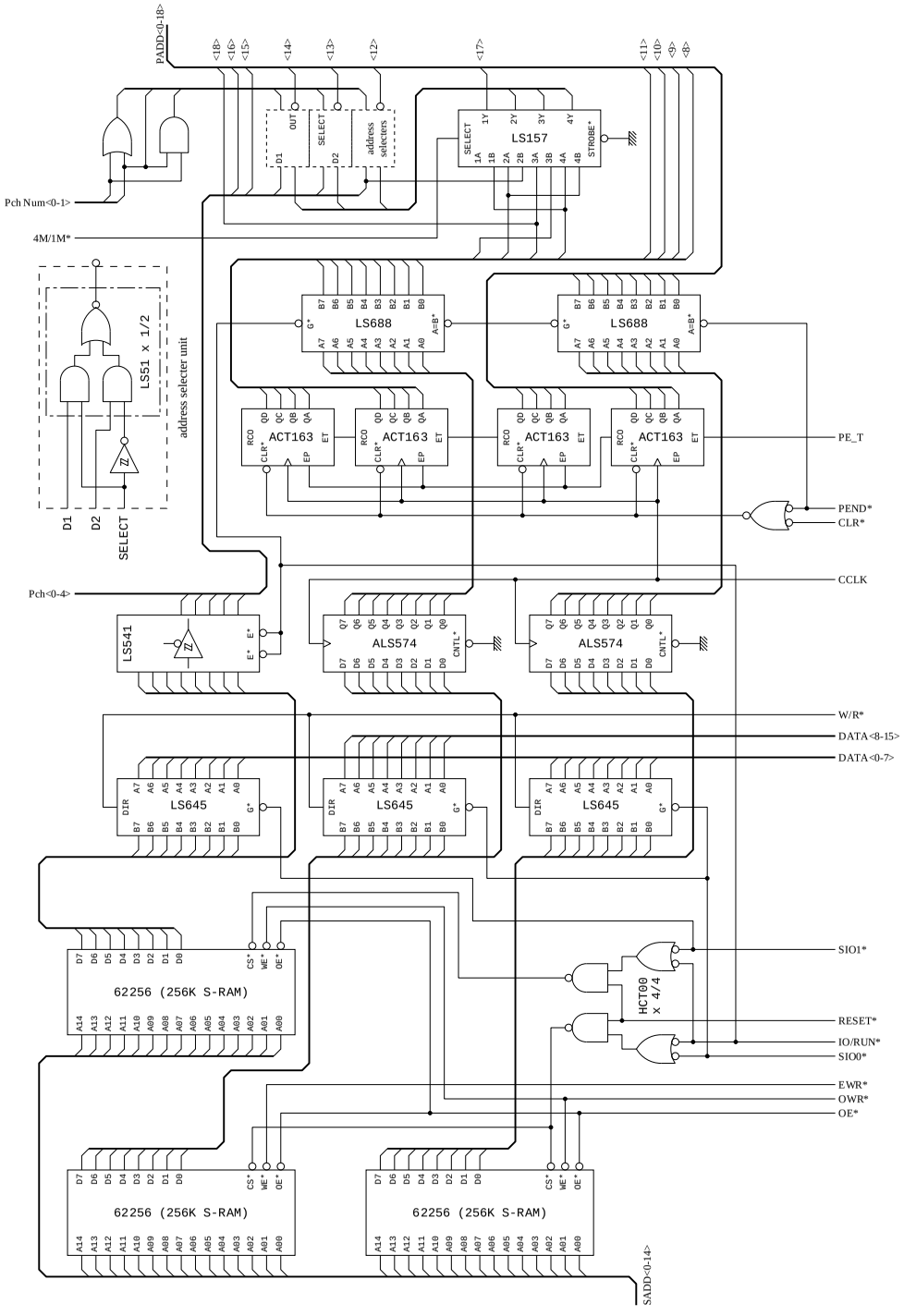


図 A.9: シーケンス・メモリとパターンカウンタ部の回路図

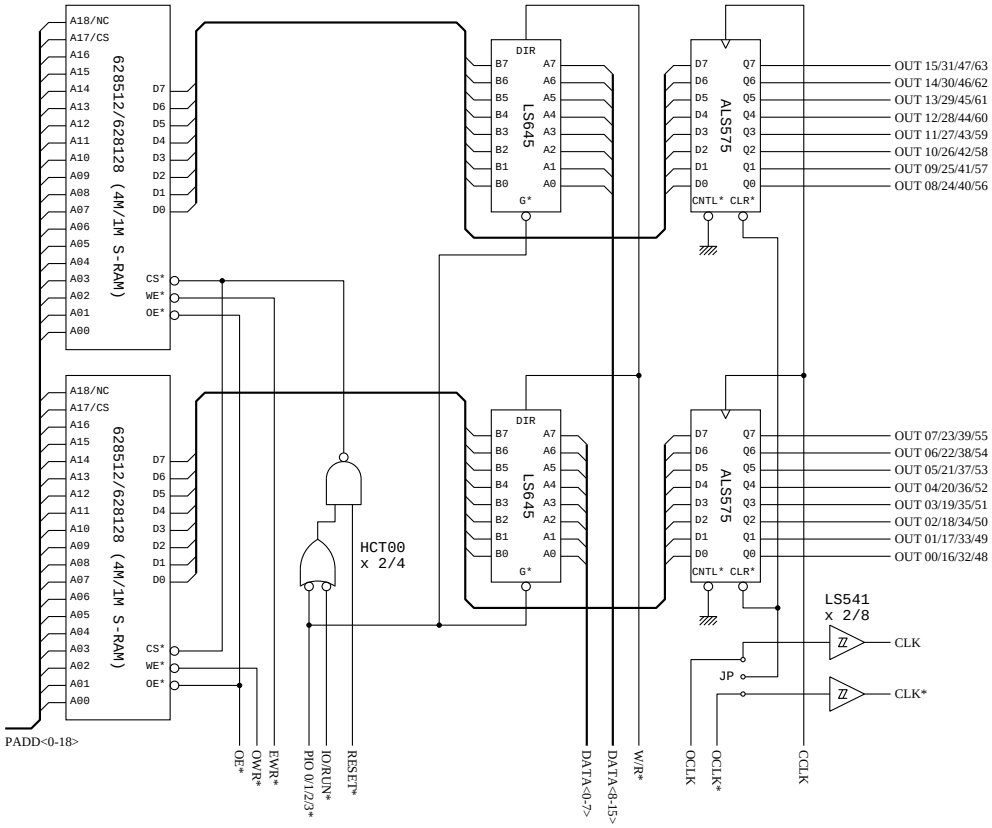


図 A.10: パターン・メモリと出力部の回路図。この回路が 2 組（増設時には 4 組）実装される。

付録 B

ＣＣＤ駆動部回路図

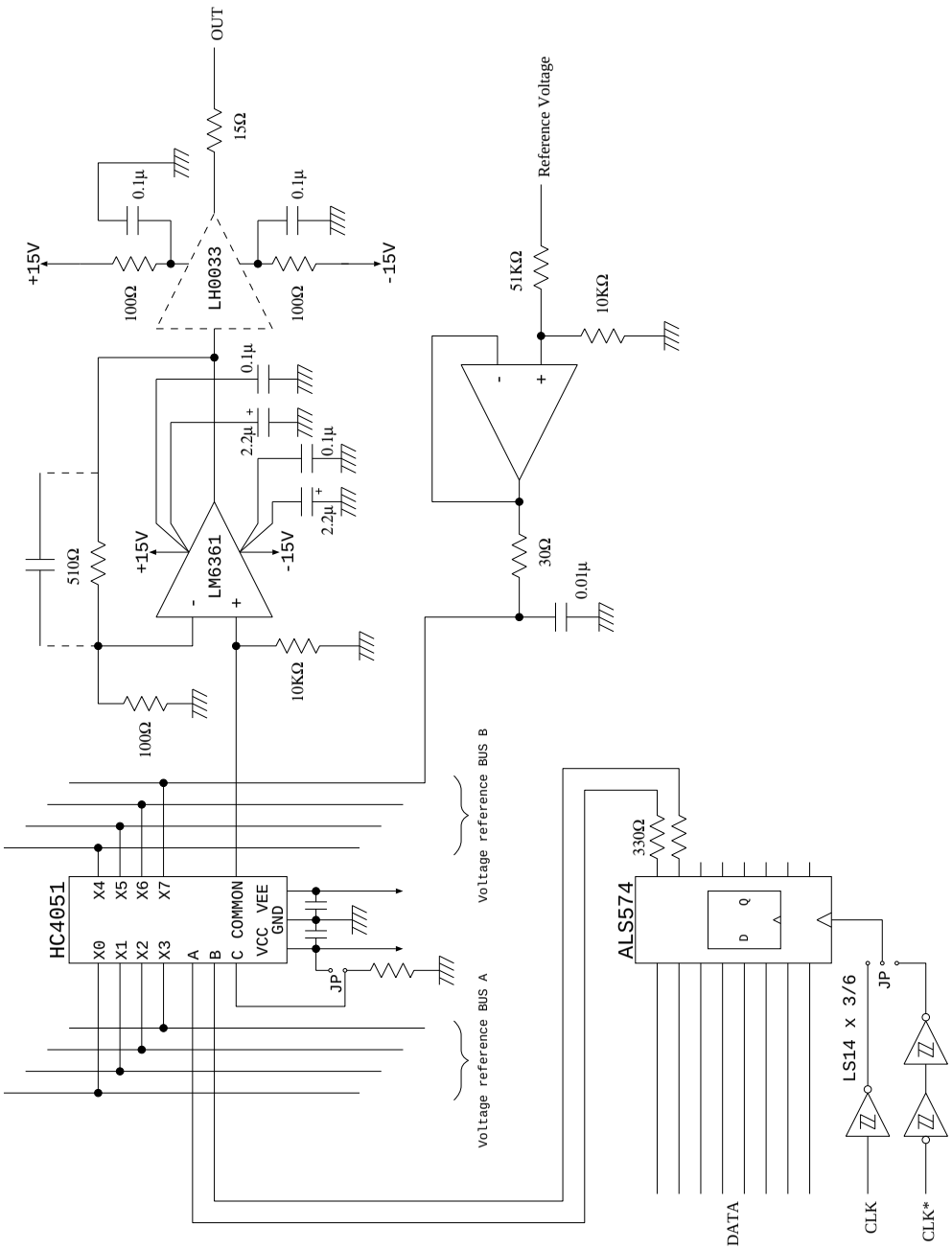


図 B.1: アナログスイッチ部回路図