XIS 読み出し回路を用いた国産 CCD の性能評価と低雑音高速読み出しシステムの開発

馬場 彩
京都大学院 理学研究科 物理学第二教室 宇宙線研究室

2001 年 11 月 8 日

概要

X 線天文学は、光学・電波で観測されてきた静的宇宙とは全く違う動的宇宙 (“The Hot Universe”) を我々に見せてくれる手段として、天文学の中でも重要な位置を獲得している。

2005 年に打ち上げ予定の X 線天文衛星 Astro-E II には、カロリーメーター（XRS）、SSD とシンチレーションカウンター（HXD）に加え、日米共同で開発された X 線 CCD カメラ（XIS）が搭載予定である。X 線 CCD カメラは空間分解能、エネルギー分解能、および時間分解能のバランスの良い X 線検出器であり、1993 年に打ち上げられた ASCA に X 線天文学用としては初めて搭載されて以来、多くの X 線天文衛星に採用されてきた。その中でも XIS は 130 eV@5.9 keV という最高水準のエネルギー分解能をもつ CCD である。

X 線 CCD のもう一つの特長として、X 線偏光測定が可能であることが挙げられる。そこで我々は大阪大学、愛媛大学、および浜松ホトニクス社と共同で、将来の偏光測定を目指した画素の小さい国産 X 線用 CCD（HPK CCD）を共同開発している。開発は CCD 本体とその読み出しシステムに分けられるが、現在までに X 線 CCD の読み出し評価システムは確立しておらず、XIS との正当な比較には至っていなかった。

そこで我々は第一段階として、現在最も低雑音の読み出しシステムである XIS 用アナログ読み出し回路 (XIS AE) と HPK CCD を接続することで HPK CCD 自体の評価を行なった。実験の結果、我々は京都大学としては最高記録の 135 eV@5.9 keV というエネルギー分解能および 6.4 electron という読み出しノイズを達成した。X 線 CCD のエネルギー分解能を決定する要因としてあげられるのが、CCD 内部の FET やその浮遊容量からの読み出しノイズ、CCD 内部の不純物による暗電流や電荷転送非効率、転送時に発生する spurious charge などである。これらについて我々は HPK CCD と XIS を詳細に比較し、読み出しノイズ以外は全ての点で XIS と同等の性能を持つことが分かった。また、我々は HPK CCD のゲインが XIS の 1/6 しかないことを実験的に初めて確認した。HPK CCD の読み出しノイズは、このゲインの低さが原因で悪化している可能性があり、さらなる追求が必要である。

次に我々がすべきは偏光測定を視野に入れた CCD 読み出しシステム開発である。偏光を測定するためには CCD のピクセルは小さくなければならず、画素数が増える。その結果、読み出し時間が長くなりパイルアップなどの影響が出てきてしまうため、読み出し速度を早くする必要がある。そこで我々は、XIS AE の不得意であった高速読み出しに主眼を置いたシステムをクリアパルス社と共同で開発をはじめた。実際に製作したクロック作成部とフィルタアンプを用いて、CCD の 100kHz 読み出しに成功、X 線イベントを検出できた。エネルギー分解能は 292 eV@ 5.9 keV、読み出しノイズは 24 electron とまだ実用に至るレベルではないが、今後の開発が期待できる。

目次

図目次

表目次

第 1 章

X 線天文学と X 線検出器

1.1 様々な X 線検出器とその能力

X 線の計測機器は多岐に渡っており、それぞれに長所短所がある。従って、測定の目的によって検出機器を選択する必要がある。この節では、個々の検出器について簡単に長所短所と X 線天文学で使用された歴史をまとめておく。

比例計数管

比例計数管はガスの光電効果を利用した検出器である。 PH ガス (Ar 90% + CH_4 10%) などを容器に封入、または流し、入射 X 線による光電効果で作られた電子をガス増幅して検出する。最初に作られる電子の個数はエネルギーに比例するため、 X 線のエネルギーも知ることが出来る。構造が簡単で大型化しやすいため、検出効率や有効面積を簡単に大きくできる汎用的な検出器である。現在では位置検出も出来る多チャンネル or マルチワイヤ比例計数管も開発されている。最初の X 線天文衛星 Uhuru をはじめ、 Ginga や ROSAT/PSPC で使用されていた。

蛍光比例計数管

入射 X 線により作られた一次電子雲を増幅が起こらない程度の電場で発光領域に移動させ、発光領域で発生した蛍光を光電子増倍管で検出する。てんまの GSPC を始め、 ASCA に搭載されていた Gas Imaging Spectrometer(GIS) などもこれにあたる。

マイクロチャネルプレート

チャネル型の光電子増倍管を多数重ねたもので、ガラス管や壁に当たった入射 X 線によって生じる光電子を光電子増倍管で増幅する。エネルギー分解能は犠牲にすることになるが、その代わりにチャネルの大きさ 10μm – 20μm を生かした高い空間分解能が得られる。また、電子がチャネルを通過する時間が数 nsec と短いことから、時間分解能も非常に高い。ROSAT/HRI や Chandra/HRC といった高空間分解能ミッションに採用されている。

シンチレーションカウンター

X 線が NaI などのシンチレータ結晶内で光電効果などにより励起・電離させた電子が基底状態に戻る時に発生させる可視光を検出することで X 線を検出する。可視光量に変換された X 線は光電子増倍管などを通して電子に変換し、増幅する。時間分解能は数百 nsec と大変高い。ガス検出器より密度が高いため光電効果を起こしやすく、硬 X 線や γ 線に対する検出効率を上げることが出来るため、特に高エネルギーミッションで多く採用されてい

る。 Astro-E II に搭載される HXD のうち GSO、 BGO もシンチレーションカウンターの一種で、特に数百 keV の硬 X 線を検出することが目的である。

Solid State Detector (SSD)

pn 接合半導体に逆バイアスをかけることで電荷キャリアのいない空乏層を形成し、入射 X 線が形成する電子雲を集めることで X 線を検出する。電子対を作るのに必要なエネルギーがガス検出器より約一桁小さいために多くの電子が作られ、高いエネルギー分解能を誇る。高圧をかけるため広い空乏層が形成され、検出効率は高い。また、時間分解能もすぐれている。 ASTRO-E II に搭載される HXD のうち PIN 型検出器がこれにあたる。

Charge Coupled Device (CCD)

先ほどの半導体検出器を LSI 技術によって小型化し、シリコンチップ上に多数並べて撮像能力をもたせたものである。小型化のために空乏層が薄くなり硬 X 線の検出効率がやや悪くはなるが、高いエネルギー分解能を保ったまま非常に高い空間分解能を得ることが出来る。 ASCA の SIS が X 線天文用としては初めて衛星搭載された。現在は Astro-E II を始め Chandra や XMM といった最新衛星にも搭載される X 線天文学の主力検出器となっている。詳細については第 2章で述べる。

カロリーメータ

X 線のエネルギーを素子の温度上昇として検出する。この時、素子は極低温にまで冷却されている必要がある。温度 ($\propto$ 入射 X 線エネルギー) は phonon に量子化されており、 phonon 生成のために必要なエネルギーは SSD の電子対形成に必要なエネルギーより更に一桁小さい。その結果、非常に良いエネルギー分解能を誇る。ただし素子の温度変化の時定数が遅いため時間分解能は悪い。また、 CCD ほどの微小素子を作ることも現在は出来ないため、空間分解能もあまり期待できない。 Astro-E II に搭載される XRS は温度計に半導体を用いており、世界で初めての衛星搭載カロリーメータとして注目されている。

TES 型マイクロカロリーメータ

カロリーメータの温度計部分に超伝導薄膜の超伝導 – 常伝導遷移を利用した温度計 (Transition Edge Sensor: TES) を用いることでさらにエネルギー分解能をあげた検出器である。理論的には 1 eV@5.9 keV のエネルギー分解能を得ることが出来る。現在のところ世界記録はアメリカ NIST チームの 4 eV@5.9 keV である [20] (ただし、単一素子である)。

日本でも開発が進んでおり、 50 ピクセル素子で 500 eV@5.9 keV という分解能が報告されている [9]。

Superconductive Tunnel Junction(STJ)

薄い絶縁体の両側を超伝導体で挟み、入射 X 線によって生成されたクーパー対の数を数える。生成されるクーパー対の数は入射 X 線のエネルギーに比例しているため、分光が可能となる。クーパー対を生成するのに必要なエネルギーはは非常に小さいので理論的には 1 eV@1 keV 程度のエネルギー分解能が期待されているが、現在はまだ開発段階でありそれほどのエネルギー分解能を持つにはいたっていない。

1.1.1 それぞれの検出器の性能比較

前節であげた様々な検出器の性能を表 1.1にまとめておく。この表を見ても分かる通り、CCD はどの能力も兼ね備えた汎用性の高い検出器である。また、現在のところ X 線の偏光を測定できる検出器は CCD だけである。

	時間分解能	エネルギー分解能	位置分解能	検出効率	偏光測定
比例計数管	○	△	△	○	×
蛍光比例計数管	○	○	○	○	×
マイクロチャネルプレート	○	△	◎	○	×
シンチレーションカウンター	○	△	×	○	×
SSD	○	○	×	○	×
CCD	△	○	◎	△	○
カロリーメータ	△	◎	△	△	×
TES 型カロリーメータ	△	◎	△	△	×
STJ	△	◎	△	△	×

表 1.1: 様々な X 線検出器の特徴

1.2 X 線天文学と検出器

X 線天文学は大気の吸収から逃れるために気球またはロケット、人工衛星が必要である。従って前節で述べたような個々の検出器の性能以外にも次のような性能が要求される。

- 人工衛星などに搭載する場合は電力供給が限られるため低電力でも効率良く機能することが大切である。温度管理などにも電力は必要である。
- 一度打ち上げてしまうと搭載された検出器はメンテナンスを行なうことが基本的に出来ない。従って、メンテナンスを行なうことなしに年単位で動き、性能劣化もあまり起こらないようなシステムが必要である。
- このようなリモートコントロールされるシステムではデータ取得も大きな問題となる。地上との交信で取得できるデータ量は限られているため、効率良く質の良いデータをとる、特に機上ソフト面での整備が必要である。

CCD は

- 温度を極低温にまでは冷却する必要がない。
- 長時間稼働させることが出来、劣化がカロリーメータやシンチレーションカウンタなどと比べると比較的少ない。
- データ取得も目標に応じて広く応用が効く。例えば、天体の明るさに応じた観測方法の切り替え、時間解析を目標とする場合の変更などに対して、迅速に対処できる。
- 回折格子のような他の検出器を併用することで、応用の幅も広がりやすい。

といった長所を持つため、表 1.2を見ても分かるように現在では X 線天文学の主力検出器といって差し支えない。特に今後の CCD 開発に要求されるのは、

1. 高いエネルギー分解能を目指すための低読み出しノイズのシステム開発
2. 偏光測定とより良い位置分解能達成を踏まえた微小ピクセル CCD 読み出しのための高速読み出しシステムの開発

である。

衛星名	国	稼働年	検出器 †	エネルギー帯域 ‡
Uhuru	アメリカ	1970-1973	P	2 – 6 keV
Ariel-5	イギリス	1974-1975	P	3 – 6 keV
HEAO-1	アメリカ	1977-1979	P, SC	10 keV – 10 MeV
Einstein	アメリカ	1978-1981	P, M	0.1 – 2.4 keV
Hakucho	日本	1983-1984	P	1 – 9 keV
Tenma	日本	1983-1984	FP, SC	3 – 14 keV
EXOSAT	ESA	1983-1986	P, M	1 – 20 keV
Ginga	日本	1987-1991	P	1.5 – 20 keV
ROSAT	ドイツ	1990-1998	P, M	0.2 – 2 keV
ASCA	日本	1993-	FP, CCD	0.5 – 10 keV
RXTE	アメリカ	1995-	P, SC	2 – 250 keV
BeppoSAX	イタリア	1996-	SC	1.0 – 200 keV
Chandra	アメリカ	1999-	CCD, M	0.1 – 10 keV
Newton	ESA	1999-	CCD	0.1 – 15 keV
Astro-E II	日本	2005?-	CCD, C, SC, SS	0.5 – 700 keV

† P: 比例係数管
FP: 蛍光比例係数管
SC: シンチレーションカウンター
M: マイクロチャンネルプレート
SS: 半導体検出器
C: カロリーメータ
‡ すべての検出器を重ね合わせている

表 1.2: 主要な X 線天文衛星と搭載検出器

このような状況を踏まえ、我々は浜松ホトニクス社、大阪大学と共同で画素の小さい CCD の開発に取り組んでいる。本修論では、まず、浜松ホトニクス社製 X 線 CCD の性能評価を行ない、その後に高速読み出しシステム開発への方針を述べる予定である。

第 2 章

X 線 CCD

2.1 X 線 CCD の基本的構造

CCD は第 1章でも述べたように、多くの半導体検出器が集合した形状を持つ。半導体は SiO_2 – Poly Si – p 型 Si – P^+ 型 Si のような MOS ダイオードのものと p-n 接合をとるものがある。多くの衛星搭載 CCD は MOS 構造をとっているが、 Newton の EPIC-pn と呼ばれる CCD は p-n 接合をとる。この節では、 MOS 構造をとる CCD 内部での電荷発生からイベント検出までを順に追って説明する。

2.1.1 ピクセル内での電荷発生

図 2.1に MOS 型ダイオード CCD の断面図を示す。電極である金属と半導体の間に絶縁体の酸化物 (SiO_2 など) を挟んである。

MOS 型ダイオードに対して電極に逆電圧を印加すると半導体内のキャリアが電極付近まで移動し、空乏層が形成される。逆電圧とは、 p 型半導体の場合は正電圧、 n 型半導体の場合は負電圧を指す。空乏層内に X 線が入射すると光電効果を起こし、電子雲と正孔のペアを形成する。生成される電子の個数は入射 X 線のエネルギーに比例しており、全ての電子または正孔を集めて数を数えることで入射 X 線のエネルギーを知ることが出来る。電子雲は半導体内の電場によって電極付近まで移動する。

2.1.2 駆動方式

CCD 内で発生した電荷は、基本的には各ピクセル毎にかけるクロック電圧のタイミングを調節することで、バケツリレー方式で電荷を転送する。この転送方式には、以下のような様々な方式がある。

- 単相方式
  バーチャルクロック方式ともいう。転送電極は図 2.2の様に一ピクセルに一つしか存在しない。転送路の一部に不純物がドープされており、電極下に電位勾配を作ることで電荷をピクセル内に確保する。この方法の利点は、電極が覆う面積が小さいために低エネルギー X 線の吸収が少なくなること、また駆動が容易に行なえることである。しかし、駆動クロック間の電圧差が一定に制限されてしまう、電荷転送が一方向に限られる、などの弱点もある。

- 2 相方式
  電極は図 2.3の様に一ピクセルあたり二つついており、それぞれの電極に単相方式と同様不純物がドープしてある。電極が CCD のすべての面を覆っているため低エネル

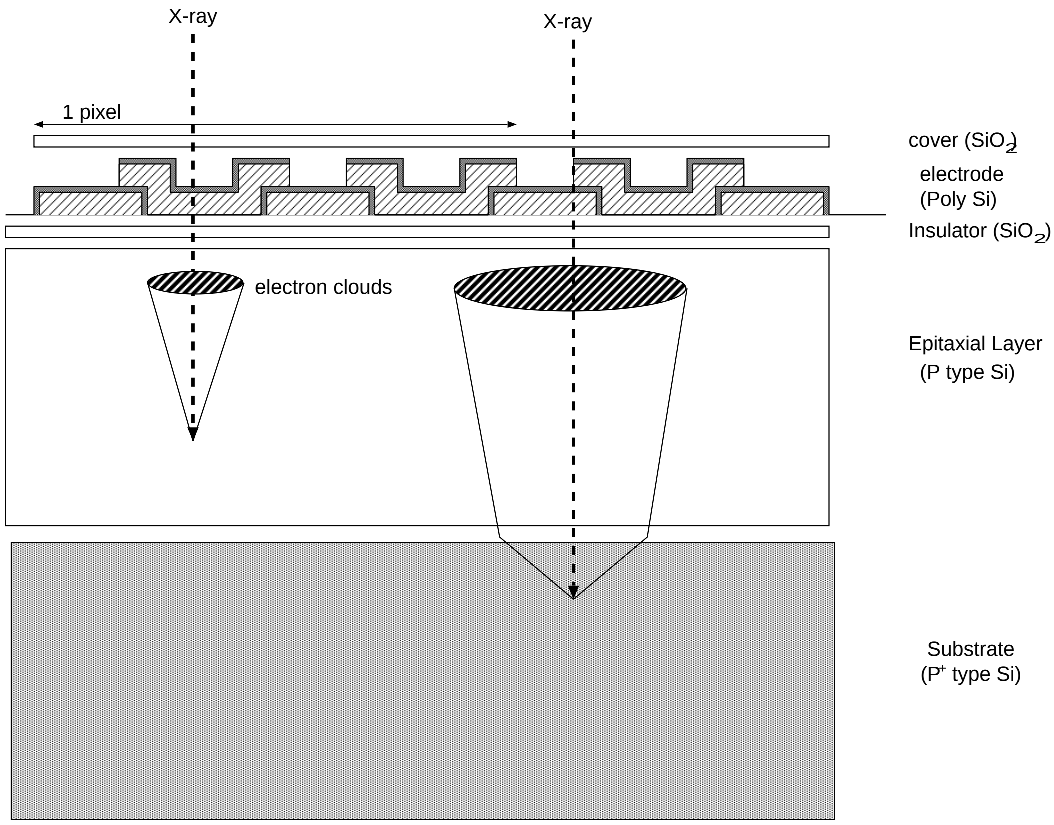

図 2.1: MOS 型 CCD 断面の模式図

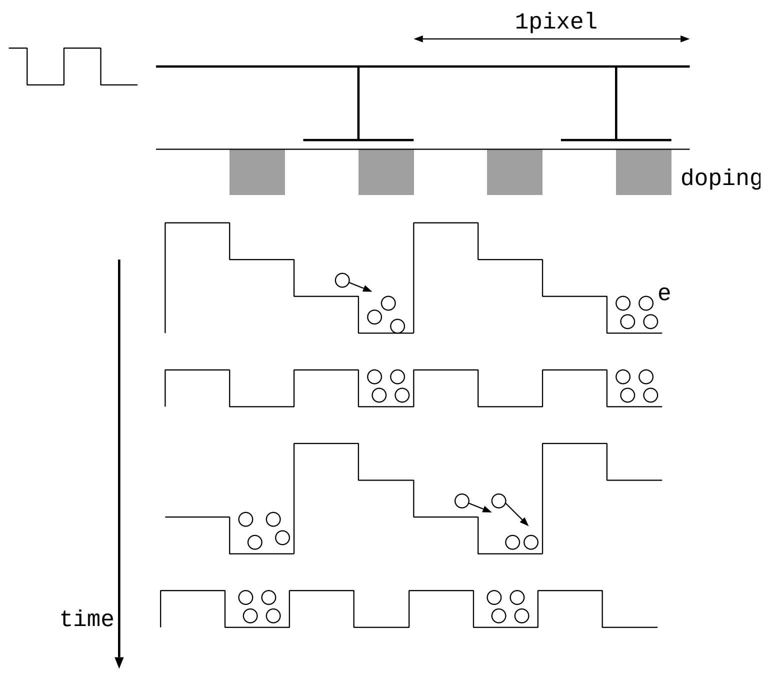

図 2.2: 単相方式の概念図

ギー X 線に対する感度は悪くなるが、クロック間の電圧差を自由に変えられる利点がある。駆動も容易である。

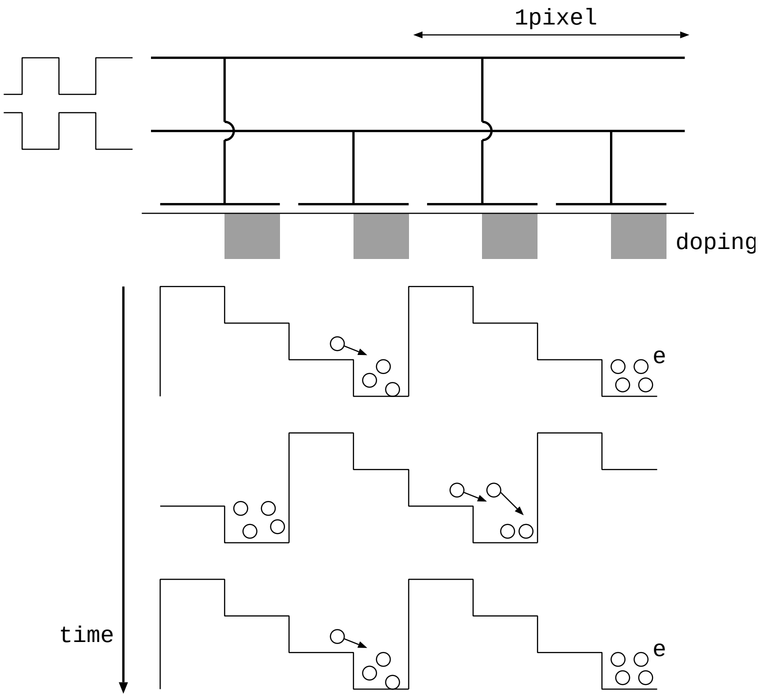

図 2.3: 2 相方式の概念図

- **3** 相方式
  電極はの図 2.4ようにーピクセルあたり 3 つついている。不純物ドープは行なわない。位相の異なる 3 つの駆動信号を電極に印加することで電荷転送を行なう。逆転送も簡単に行なえる利点がある反面、駆動信号の制御は以上の方法の中ではもっとも難しい。

2.2 電荷転送方式

前節のような方法で電荷を転送する場合、電極の配置と電荷の転送には次のようなさまざまな方法がある。

- **Interline Transfer** 方式

  受光領域 (Imageing Region) のすぐ隣に垂直転送領域 (Parallel Shift Region) が並べられている（図 2.5参照）。転送部分は Al などで遮蔽されており、光が当たらないようになっている。 1 フレームの露出が終了後すぐに隣の垂直転送領域に送られ、その後一列づつ水平転送領域 (Serial Shift Region) に転送して出力される。

  この方式の最大の利点は縦転送中に光が入らないことである。また転送も素早く行なうことも出来る。しかし、受光用ピクセルと転送用ピクセルが同一面に存在し、しかも転送用ピクセルが全て遮光されているため、有効受光面積が小さくなってしまう。さらに X 線用としては Al 遮蔽を X 線がつき抜けてしまうため、この方法は採用できない。

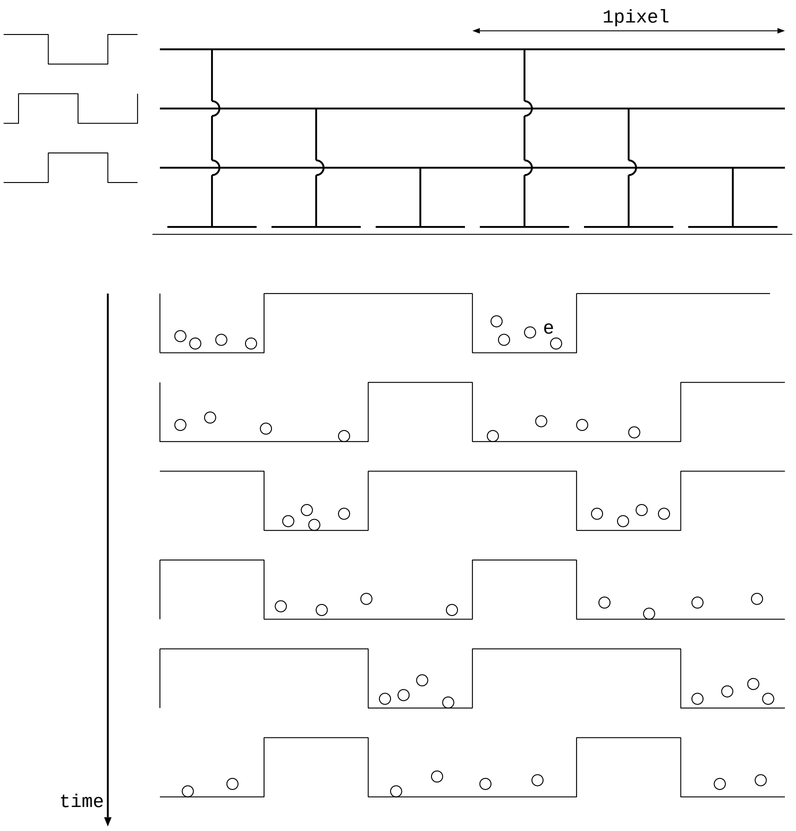

図 2.4: 3 相方式の概念図

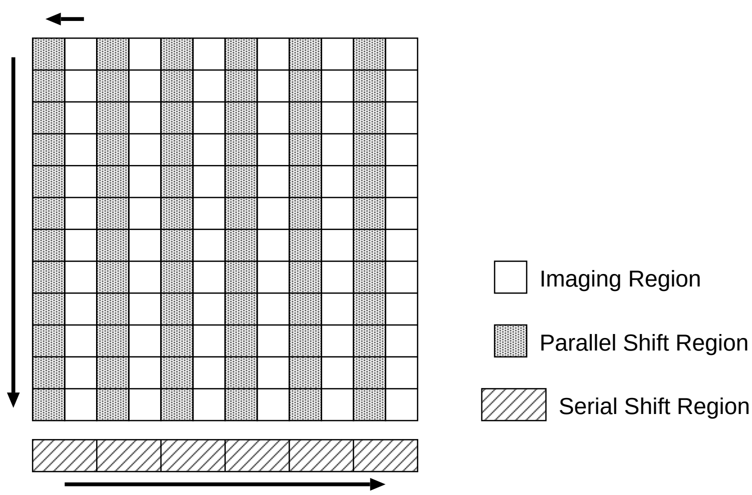

図 2.5: Interline Transfer 方式模式図

- **Frame Transfer (FT) 方式**

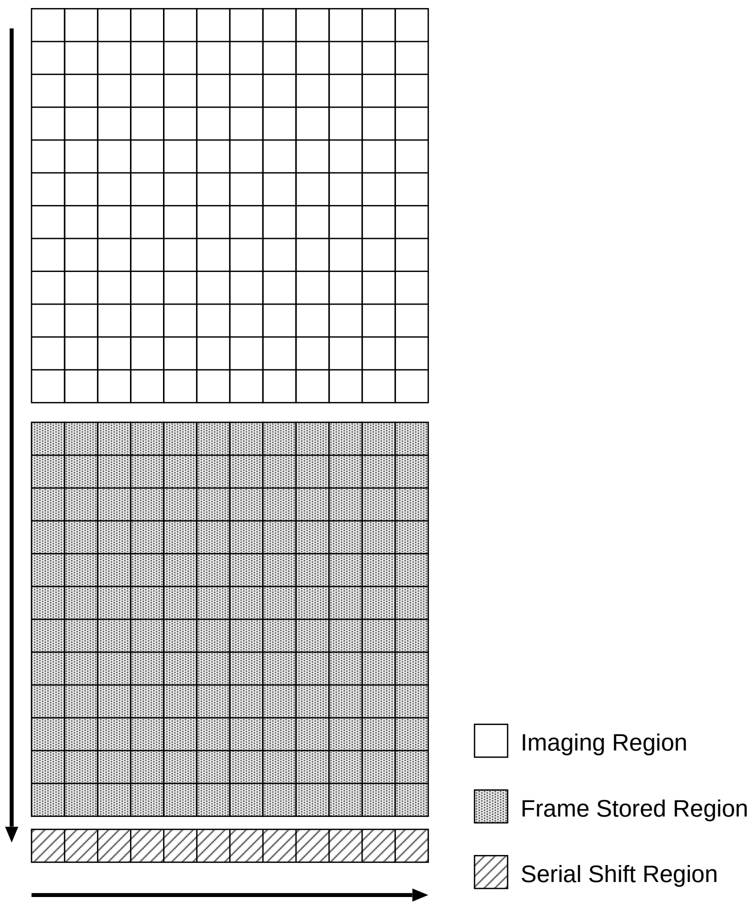

図 2.6: Frame Transfer 方式模式図

Frame Transfer 方式の CCD は、受光領域 (Imageing Region) と、電荷を出力まで一次的に蓄積しておく蓄積領域 (Frame Stored Region) からなる（図 2.6参照）。受光領域と蓄積領域は同数であり、蓄積領域が遮光されていること、ピクセルサイズが蓄積領域の方がやや小さいこと以外は同等である。露光後すぐに蓄積領域に転送され、水平転送領域 (Serial Shift Region) で順次出力される。蓄積領域への転送は十分短い時間で行なえるため、シャッターは不要である。また出力中も露光領域では撮像を続けることが出来、受光面積も広い。しかし、必然的に転送回数が多くなってしまうため、 2.6.4節で説明する電荷転送非効率 (CTI) によるノイズが大きくなってしまう可能性がある。

- **Full Frame Transfer (FFT) 方式**

露光領域 (Imaging Region) で一定時間露光した後、一列づつ順番に水平転送領域 (Serial Shift Region) を通して読み出し口に転送していく方式である（図 2.7参照）。読みだし中に X 線が入射しないようシャッターを用いることもある。転送中は露光できないため測定時間の一部しか有効に露光できないのが欠点である。

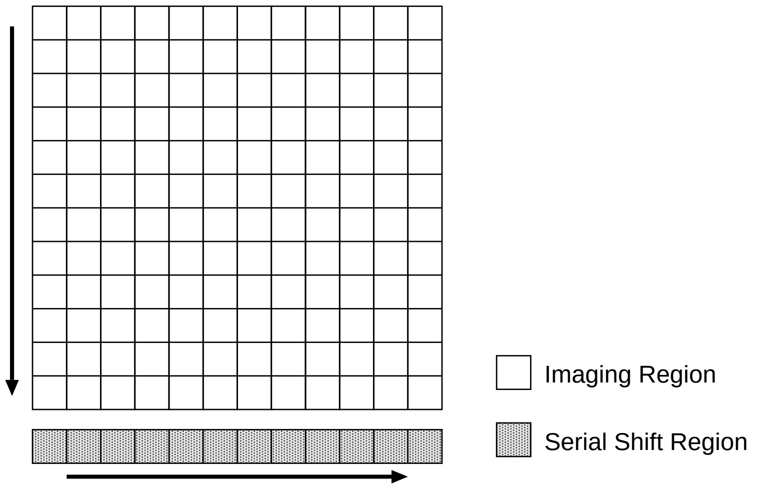

図 2.7: Full Frame Transfet 方式模式図

2.3 CCD 読み出し口

図 2.8は 2 相クロック方式 CCD の読み出し口の模式図である。 P1H、 P2H(=SG) が横転送するための電極である。転送されてきた電子は最後に Output Gate (OG) までやってくる。 OG は等価回路的にはコンデンサで表され、コンデンサに転送されてきた電子がたまることで電圧に置き換えられる。この電圧変化を再び内蔵 FET で電流に置き換えて出力としている。 1 ピクセル毎の電荷は reset pulse が Reset Gate (RG) にやって来ると Reset Drain (RD) に捨てられる。 Output Drain (OD) に JFET に対する Drain 電圧がかかると、信号電荷が Output Signal (OS) から外部ロード抵抗を通して出力される。

2.4 X 線 CCD 読み出し方式

前節までの過程によって出てくる CCD の出力波形は、図 2.9の様になる。 1pixel 分の出力はリセットパルス、フローティングレベル、およびシグナルレベルで構成される。リセットパルスは電荷をリセットする際の電圧がそのまま出力されたもので、信号としての意味はない。次のフローティングレベルとシグナルレベルは、 SG にかかるクロックが見えていると思えばよく、 X 線の入射してきていない時のフローティングレベルとシグナルレベルの差が CCD 内の電気的なゼロレベルを表すものである。もしそのピクセルに X 線などによる電荷がたまっていたとすると、電荷転送によって運ばれてきた電子によりシグナルレベルはより深くなり（図 2.9参照）、フローティングレベルとの差が大きくなることで検出される。

この様に CCD からの出力は複雑な形をしているため、 ADC に入力する前に様々な整形をアナログ回路によって行なう必要がある。現在のところ、以下のような様々な方式が用いられている。

2.4.1 遅延方式

遅延方式とは、図 2.10のように CCD からの出力信号を二つに分けた後に片方の信号を遅延線によって遅らせ、遅らせなかった方の信号（raw signal）を遅らせた信号（delayed signal）から引くことによってフローティングレベルとシグナルレベルとの差をとる方式のこ

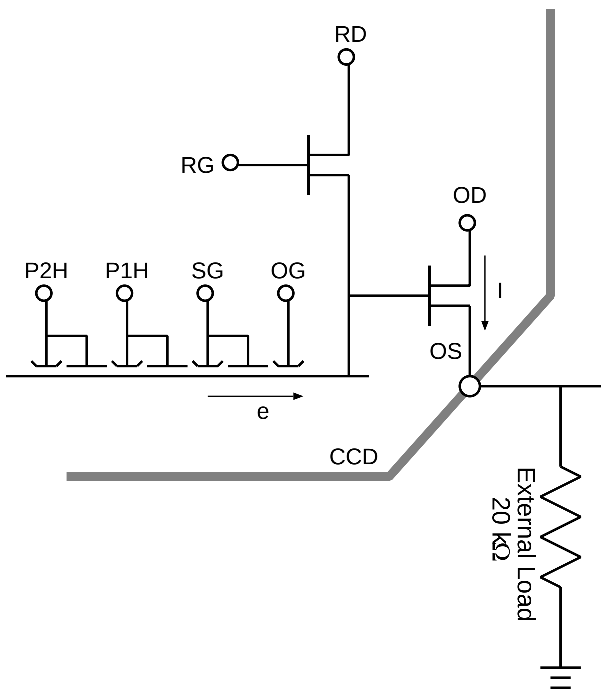

図 2.8: CCD 読み出し口模式図

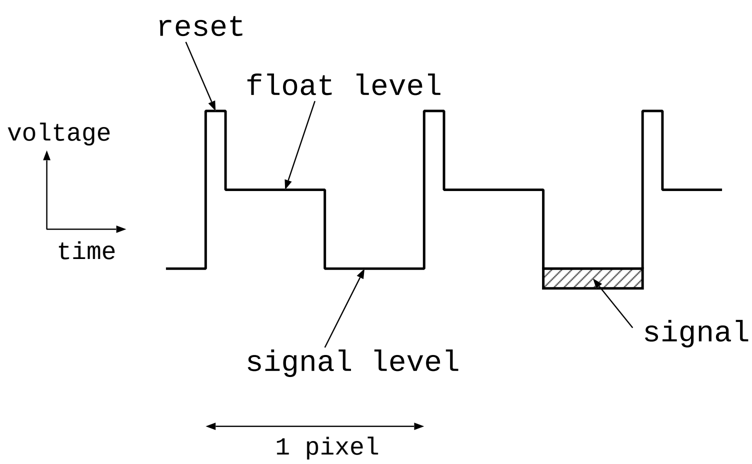

図 2.9: CCD からの出力波形

とである。

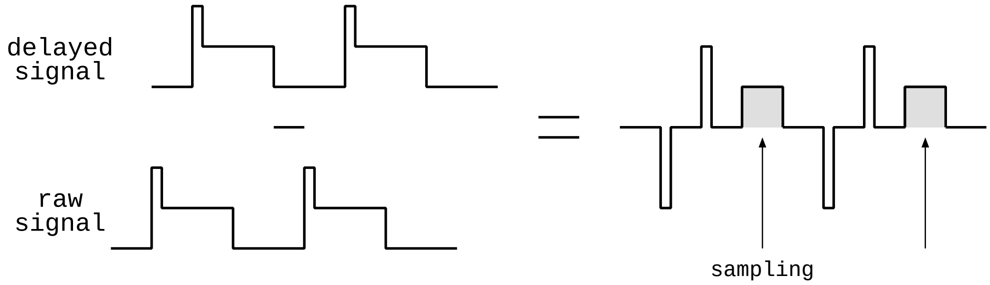

図 2.10: 遅延方式の概念図

この方式の特長ははアナログ回路が単純である点、制御が容易である点である。実際、ASCA の SIS ではこの遅延方式を拡張したものを採用していた。しかし、クロックのタイミングが遅延線の長さによって制限されてしまうため、様々な試行を行ないたい地上実験には向かない。

2.4.2 多重相関サンプリング方式

この方式はフローティングレベルとシグナルレベルをそのまま ADC でサンプリングし、その差分をデジタルで行なうものである。しかし、各点で一点ずつのサンプリングはノイズに弱く、エネルギー分解能が悪くなってしまう可能性がある。そこで $n(>1)$ 回サンプリングを行なう（図 2.11参照）ことでノイズを減らそうというのが多重相関サンプリング方式である。図 2.11では、４重相関サンプリングになっている。

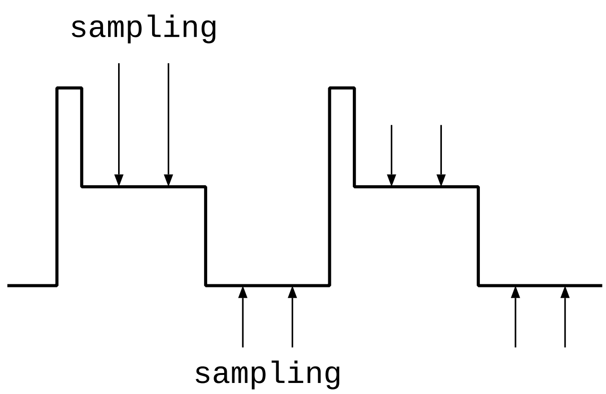

図 2.11: 多重サンプリング方式の概念図

この方式の特長は、単純な回路で駆動できること、サンプリングの位置や回数の制御が回路ではなくデジタル上で行なえることである。しかし、同相のノイズに対してはノイズをも増幅させてしまうため、エネルギー分解能があまり良くならない可能性がある。また、１ピクセルに 2n 回サンプリングが行なえる高速 ADC が必要であり電力の消費量が多くなることから衛星搭載にはあまり適さない。

2.4.3 積分方式

積分方式とは、アナログ回路部分でフロートレベルとシグナルレベルを引き算した後にその結果を ADC に入力する方式である。実際には、一つのコンデンサにフロートレベルをまず積分し、次にシグナルレベルを反転させて積分することでその差をとっている。概念図を図 2.12に示した。

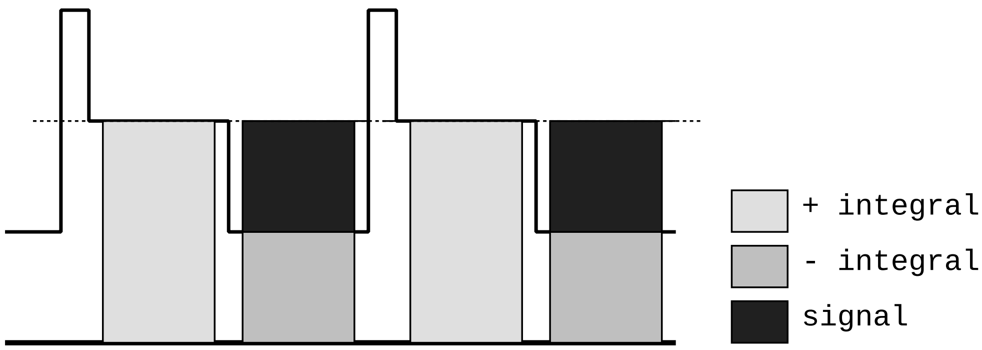

図 2.12: 積分方式の概念図

この方法の長所はまず高いエネルギー分解能が望めるところにある。積分時間より短い時間のノイズは平均化されてしまい、出力に影響しなくなるからである。また、回路上でほとんどすべての処理を行なうため、早い駆動が可能である。実際、 Astro-E に搭載されていた XIS にはこの積分方式が採用されている（2.7.2節、第 3章参照）。しかし、積分方式にも問題はあり、積分周期より長い時間の 1/f ノイズについては拾ってしまうという弱点も残されている。さらに、積分時間を厳密に一定にする必要もある。

2.5 イベント検出法

様々な方式で読み出された出力を読み出したピクセルの数に沿って並べることで、画像を再構成することが出来る。真の X 線のイメージとスペクトルを得るためには、実際の出力された画像から X 線イベントだけを抜き出す必要がある。イベントと認識されるピクセルは次の手順で決定される。

1. CCD からの出力波高値には、真のゼロレベルにフローティングレベルと（X 線の入射していない）シグナルレベルの差の分のオフセットがのっている。このオフセットを差し引くため、何 frame （撮像した枚数の単位）分かの画像を平均化し、 darkimage を作成し、これを差し引く。

2. 衛星上では地球周回軌道上で日照から日陰、日陰から日照に移った時に観測対象以外からの可視光線の量が変化し、オフセット量が急激に変わる。この変化は先ほどの平均化した darkimage では対処できないため、 frame 毎にとったオフセット量と darkimage を比較することで、光洩れ量の補正を行なう。

3. event threshold lower/upper を設定し、

$$\textbf{event threshold lower} < PH < \textbf{event threshold upper}$$

となるようなピクセルを選び出す。

4. 周辺 3×3 ピクセルを調べ、中心ピクセルの PH が極大値をとっているようなピクセルのみをイベントとする。

しかし、これらの中には宇宙線のようなバックグラウンドのイベントも含まれる。（図 2.13参照。）また、X 線イベントの中でもピクセルの境界付近で吸収されたイベントや電子雲が 1 ピクセル以上に広がってしまった場合には周りに洩れ出した電荷も足し合わせ、正しい電荷量を計算する必要がある。現在のところ、この 2 点を考慮した方法として次のようなイベント判定法が考案されている。

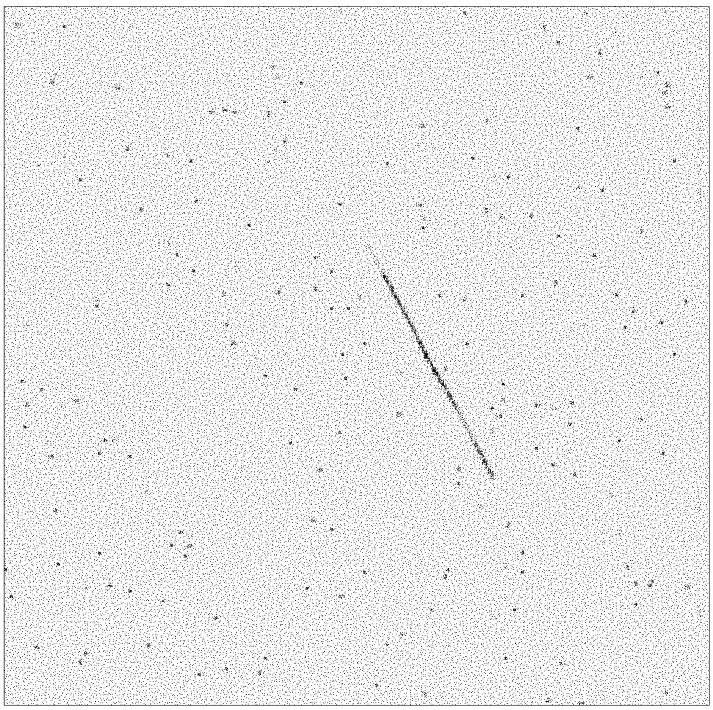

図 2.13: 宇宙線イベントと X 線イベント
中心にある斜めに走ったイベントが宇宙線イベントで、
周りにある多くのコンパクトなイベントが ^{55}Fe による X 線イベントである。

2.5.1 grade 判定法

イベントとして判定されたピクセルの周囲 3×3 ピクセルを取り出し、その波高分布を調べてイベントかどうかを判定する判定法である。周辺に電子雲が洩れ出していないか判定するために split threshold という閾値を設ける。これは、周辺のピクセルレベルがイベントの洩れ込みなのかダークレベルの揺らぎなのかを決定する量である。周辺 8 ピクセルのうち split threshold より大きいピクセルのパターンにより、図 2.14のように分類する。grade 0 – 6 のどれにも当てはまらない広がったイベントは grade 7 とする。宇宙線によるイベントは図 2.13のように 3×3 ピクセルより大きく広がるので、grade 7 のイベントが X 線イベントである可能性は低く、除去する。また grade 1、5 のような斜めに洩れ込みのあるイベントは電子雲の広がりが円形に近いとすると不自然であり、宇宙線イベント、またはパイルアップのイベントの可能性が高いので、これも除去する。

さらに、grade 0、2、3、4、6 のイベントでも、grade 0 以外で 3×3 ピクセルの外周 16 ピクセルに split threshold を越えるピクセルがあるものや、grade 6 の四角く広がったイベントのうち角のピクセルの波高値が隣のピクセルより高いものを除く。このようなイベントも、やはり宇宙線などのイベントである可能性が高いからである。このようにして認識されたイベントは、最終的に周りの波高値を足し合わせることでイベントとして再構成される。

grade 判定法の長所は比較的簡便であり、衛星上でも可能であることである。その反面、split threshold という人為的に決めた値によってイベントの波高値が変わってしまうという欠点がある。また、空乏層が厚い CCD やピクセルサイズの小さい CCD では広がった X 線イベントも無視できないほどに増え、効率が悪くなってしまう。

2.5.2 フィッティング法

fitting 法は、event threshold を越えたイベントの周囲 5×5 ピクセルの波高値を 2 次元ガウシアンでフィッティングし、ガウシアンを積分することで元の電荷量を求める方法である [5][8]。ガウシアンの広がりを σ とすると、宇宙線などのバックグラウンドイベントの方が X 線イベントより大きく広がる。例えば XIS の場合は $\sigma > 2$ ピクセルのものが多いのに対し、X 線イベントは $\sigma < 1$ ピクセルに収まる。この違いによって X 線イベントを抽出する訳である。

この方法は grade 判定法の split threshold のような人為的な値を設定しなくても良い。また、空乏層が厚い CCD、ピクセルサイズの小さい CCD にも応用が簡単である。さらに 2 次元ガウシアンの広がりを xy 方向で違うパラメータにすることにより扁平に広がったイベントも抽出でき、偏光測定も可能となる。しかし、現在のところ計算に非常に時間がかかるため、衛星での実用には至っていない。今後の研究が期待されるイベント判定法である。

2.6 CCD のエネルギー分解能とそれを悪化させる様々なノイズ源

2.6.1 CCD のエネルギー分解能

CCD のエネルギー分解能は、理想的には内部で生成される電子雲内の電子数のゆらぎで決まる。

$$\begin{aligned}\triangle E(FWHM) &= \sqrt{8\log 2} \times w \times \sqrt{\frac{FE}{w} + N^2} \quad [\mathrm{eV}] \qquad (2.1)\\ &E = \text{入射}X\text{線エネルギー}\ \ [\mathrm{eV}]\\ &F = \text{ファノファクター}\\ &w = \mathrm{Si}\text{平均電離エネルギー}\ \ (3.65\ [\mathrm{eV}])\\ &N = \text{ノイズ}\ \ [\mathrm{electron}]\end{aligned}$$

電子・正孔対生成エネルギーが w である半導体検出器に対しエネルギー E の X 線が入射した場合、平均 $\frac{E}{w}$ 個の電子・正孔対が作られる。この時 X 線のエネルギーは次のような過程に分配される。

1. 電子が半導体内バンドギャップを越える。
2. 原子核格子の熱振動。
3. 電子・正孔対を作れない低エネルギー電子の加速。

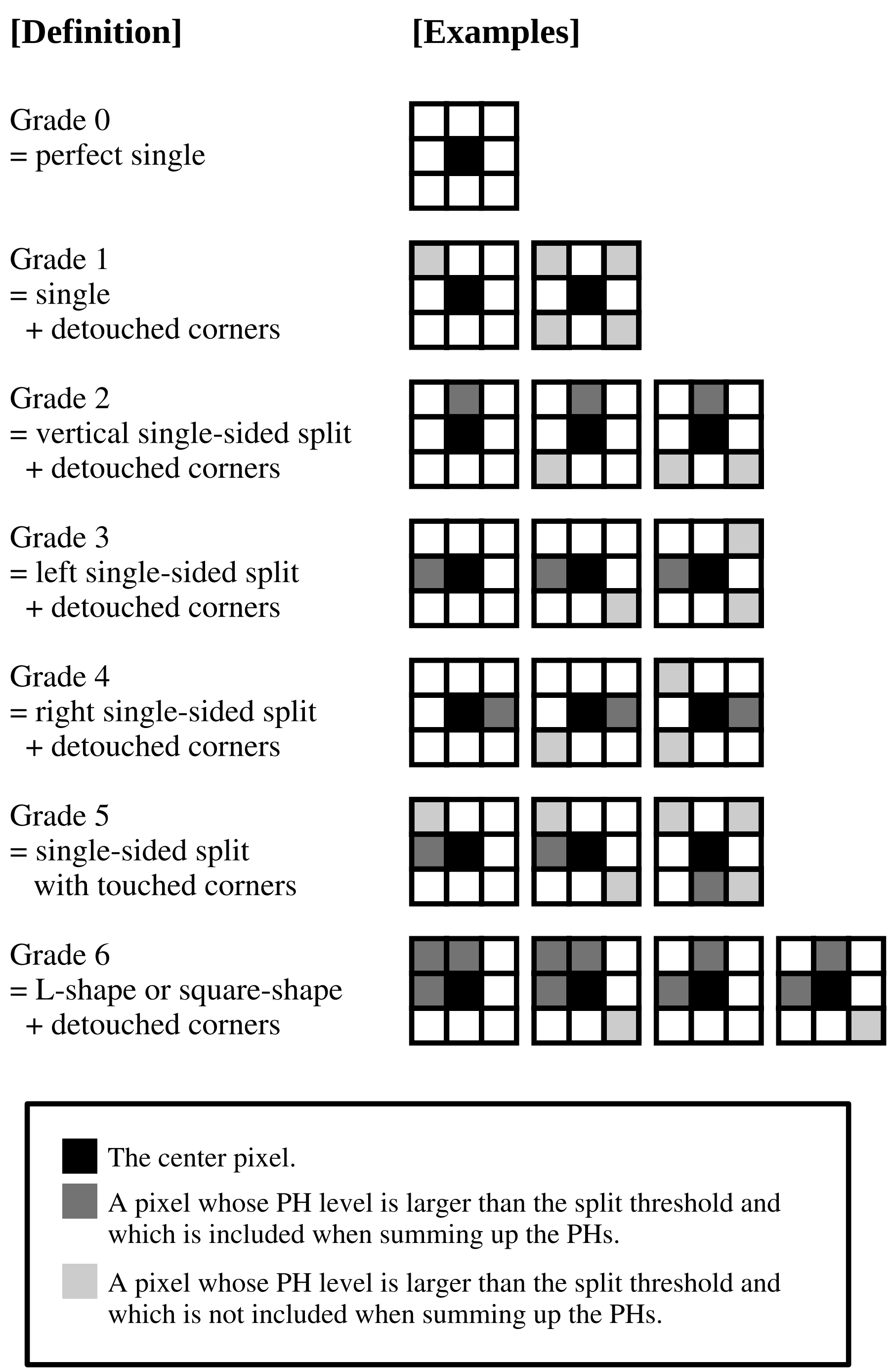

図 2.14: grade 判定法によるイベントの分類

このうち1だけにエネルギーが分配された場合、生成される電子・正孔対の数は常に正確に $\frac{E}{w}$ 個となり、ゆらぎは0になる。一方、これらの過程がポアソン統計に従うならば個数ゆらぎは $\sigma^2 = \frac{E}{w}$ となる。実際は両者の中間となることが知られており、その補正項がファノファクター F である。Siの場合は $F = 0.12$ であることがすでに知られており[14]、今後はこの値を採用する。(2.1)式より、理想的なCCDのエネルギー分解能は5.9 keV(Mn Kα)の入射X線に対して約120 eVであることが分かる。

しかし、実際にはCCDの出力には様々なノイズが上乗せされている。そのノイズがCCD本体から来るものなのか外部回路のものなのか、また我々が制御できるものなのかどうかを知り、各々の成分を評価することは今後のCCD開発に重要な影響を与える。ここではそのノイズ源についてまとめておく。

2.6.2　読み出しノイズ (read out noise)

読み出しノイズはCCDから信号を読み出す時に加わるノイズである。原因としては主に

1. CCDの最終段FETとそれにつながるCCDの浮遊容量に起因するノイズ
2. 水平転送中の暗電流（暗電流については2.6.3節参照）
3. 外部回路のノイズ

があげられる。1、2についてはCCD固有のもので、この部分の改良は浜松ホトニクス社の担当である。我々が担当するのは3で、より良いシステムを作ることで、エネルギー分解能を上げることが出来る。

2.6.3　暗電流 (dark current)

暗電流とは、X線が入射していなくても逆バイアス下で流れる電流のことである。Siのバンドギャップは約1.1eVで、これを越えた電子が信号電荷と共に出力されてくることになる。特に温度が高いとバンドギャップを越える電子が増え、暗電流は多くなってしまう。理想的な半導体ではバンドギャップ中にエネルギー準位は存在しないが、実際にはトラップといわれる準位がバンドギャップ中に存在し、価電子帯→トラップ準位→伝導帯という順に励起される。キャリアの発生率 p は、真性半導体中のキャリア濃度 n_i と少数キャリア（例えばp型半導体なら正孔が少数キャリアにあたる。）がトラップに捕獲されるタイムスケール τ_n を用いて

$$p = \frac{n_i}{2\tau_n}$$

と表せる[21]。また、τ_n、n_i はそれぞれ次のように書けるので、

$$\tau_n = \frac{1}{\sigma_t \overline{v_{th}} N_t}$$

σ_t : トラップの捕獲断面積

$\overline{v_{th}}$: 電子の熱運動の平均

N_t : トラップの個数密度

$$n_i = \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2k_B T}\right)$$

E_g : バンドギャップエネルギー

$$
\begin{aligned}
N_c &: \text{電導体における有効状態密度} \\
N_v &: \text{価電子帯における有効状態密度} \\
T &: \text{絶対温度} \\
k_B &: \text{ボルツマン定数}
\end{aligned}
$$

暗電流 I_t は

$$
\begin{aligned}
I_t &= qp = \frac{1}{2} q \sigma_t \overline{v_{th}} N_t \sqrt{N_c N_v} \exp\left(-\frac{E_g}{2k_B T}\right) \qquad (2.2) \\
& q \ : \ \text{キャリア電荷}
\end{aligned}
$$

(2.2) を見ても分かる通り、トラップを介した暗電流は温度依存性が大きい。従って暗電流を押えるためには駆動温度を十分下げる必要がある。

2.6.4 電荷転送非効率 (Charge Transfer Inefficiency: CTI)

CCD 内で発生した電荷がバケツリレー方式で転送されることは既に述べた。しかし転送は 100% 行なわれるとは限らず、電荷の一部が失われてしまうことがある。この確率を電荷転送非効率 (Charge Transfer Insfficiency: CTI) と呼ぶ。この確率が大きいと X 線が CCD のどこに入射したかによって元のエネルギーが変わって見えてしまう。実際、アメリカの人工衛星 Chandra に搭載された CCD である ACIS は打ち上げ後の radiation damage によって CTI が非常に大きくなってしまい、大きな問題となっている。 N 回転送を行なった時の CTI は (2.5) のように表され、 CCD 評価の重要な factor となっている。

$$
\begin{aligned}
(\text{損失電荷量}) &= (\text{全電荷量}) \times (1-(1-CTI)^N) \\
&\sim N \times CTI \times (\text{全電荷量}) \qquad (2.3)
\end{aligned}
$$

全ての電荷転送において、電荷を失う確率が同じで、 N 個あった電子のうち δN 個が失われるとしよう。すると、 n 回転送後の電荷の個数は、失われた電荷の個数 δN_n を用いて

$$
\begin{aligned}
N - \delta N &= N\left(1 - \frac{\delta N}{N}\right)^n \\
&\simeq N - n\delta N \qquad (2.4)
\end{aligned}
$$

と表される。よって、 CTI は

$$
CTI = \frac{\delta N_n}{nN} \simeq \frac{\delta N}{N} \quad (/\text{一回の転送}) \qquad (2.5)
$$

となる。 CTI の大きさを決めるのは CCD 内トラップ準位による信号電荷の捕獲である、と言われている。

CTI に起因して、転送ノイズというものが存在する。 CTI によって取り残された電荷量が統計的に揺らぐことが原因である。トラップが電荷を捕獲する確率はポワソン分布に従うと考えられる。 n 回転送後の揺らぎ平均 $\overline{\delta N_n}$ は一回の転送における揺らぎの平均 $\overline{\delta N}$ を用いて

$$
\overline{\delta N_n}^2 = 2n\overline{\delta N}^2 \qquad (2.6)
$$

と表される。右辺に係数 2 がかかっているのは、自分自身が失う電荷量の揺らぎと前の電荷が残していった電荷量の揺らぎの 2 種類があるためである。

2.6.5 パイルアップ

パイルアップとは、X 線が蓄積時間中や転送中に同じピクセルに二回以上入射してしまう現象である。この時生成される電荷量は X 線 2photon 分であり、我々にはそのイベントが一つの X 線光子なのか二つの光子が重なったものなのか見分けることが出来ない。仮に X 線が単色で CCD からもδ関数的スペクトルが出てくるのであれば問題はないが、実際にはいろいろな成分が重なって出力されるため、エネルギー分解能を悪化させる原因になり得る。従って測定の際にはパイルアップしない程度のカウントレートでの測定が重要である。

2.6.6 白傷と黒傷

CCD のピクセルはどれも均一な性質を持っているわけではない。ピクセルの中には常に電荷を放出し続けるものや、逆にほとんど電荷を放出しないものも存在する。前者は常にそのピクセルが「明るい」状態であり「白傷」と呼ばれる。また後者は常にそのピクセルが「暗い」状態なので「黒傷」と呼ばれる。どちらにしろ X 線の検出は出来ず転送にも悪影響を及ぼすため、このようなピクセルが出来るだけ存在しない、というのも良い CCD の条件である。実際の解析の際には取得したフレームを平均化した「0 レベル画像」とも言うべき dark image を作ってそれを差し引きしてから解析するため、固定パターンになるこれらの傷は、数が多くならない限りあまり問題にはならない。

2.6.7 Spurious Charge

Spurious Charge は疑似電荷とも言われる現象で、反転させて駆動させる CCD に特有のもので、Janesick ら [19] によって以下のような説明がなされている。CCD が反転状態にある時、正孔の一部分は酸化膜界面に沿ってトラップされている。信号電荷が転送される時にクロック電圧が変わって CCD が非反転状態になると、トラップされていた正孔が放出される（図 2.15参照）。この時、正孔が衝突電離を起こすことが出来るほど十分なエネルギーを持つまで加速されると、正孔は周辺の Si 原子を電離し、信号電荷以外の電子を作ることになる。これが spurious charge と呼ばれる電子である。出力される電荷数は信号電荷に spurious charge が足し合わされたものになってしまい、正しい信号電荷数が分からなくなってしまう。

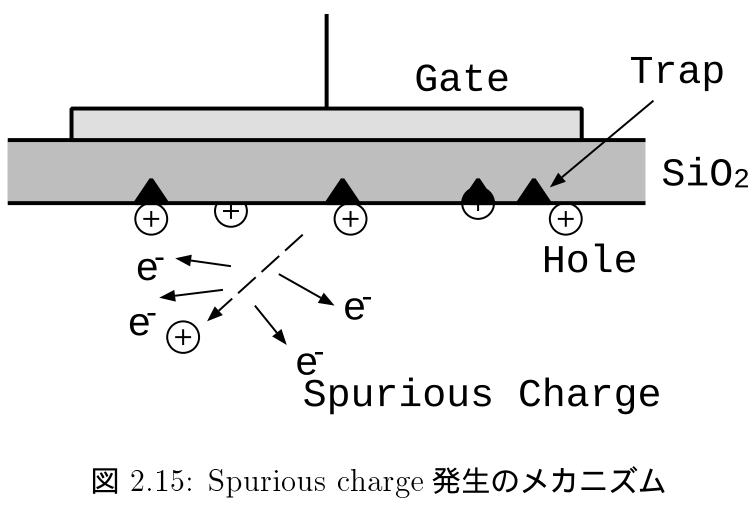

図 2.15: Spurious charge 発生のメカニズム

spurious charge は、与えるクロックの電圧差が大きければ大きいほど正孔の感じる加速

度が大きくなるため、より多く発生する。従って、 spurious charge 予防の観点からは、 CCD に与えるクロックの電圧差は出来るだけ小さい方が望ましい。また、クロックの立ち上がりをローパスフィルターなどでなまらせる、クロックを何段階かに分けて low level から high level にするなどの工夫で軽減されることが報告されている [19][2]。

2.7 各種 CCD とその仕様

2.7.1 SIS

日本の 4 番目の X 線天文衛星「あすか」に搭載された、 X 線天文学用としては初めての衛星搭載 CCD であり、特に硬 X 線帯域 (2 – 10 keV) でのイメージングとスペクトルスコピーの能力から数多くの成果を挙げた。 MIT の Lincoln Labo が開発したこの CCD は 0.4 – 10 keV で感度を持ち、エネルギー分解能は 150 eV@5.9 keV という性能を持つ。画素サイズは 27μm、画素数は 420×4228（露光領域）の三相方式の電荷転送を用いた Frame Transfer 方式を採用している。衛星上では同じものが 4 枚並べることで視野を広くしており、さらに同じものを 2 セット使用することで検出効率をあげている。また、読み出し方式には遅延方式を用いており、読み出しノイズは 6 electron であった。

2.7.2 XIS

Lincoln Labo が開発した衛星搭載用 X 線 CCD で、 SIS をさらに改良したものである（図 2.16）。その外形は、ピクセルサイズは 24μm、画素数は露光領域が $1,024 \times 1,024$ の三相方式を用いた Frame Transfer 方式で、画素サイズの他は SIS と同じ仕様になっている。やはり同じものを 4 セット用いることで、検出効率をあげている。主に output FET とそれにつながる CCD の浮遊容量を下げることでゲインをあげ、積分方式の読み出しシステムにより 3 electron という読み出しノイズを達成している。読み出し口は合計 4 つあり、読み出し速度を早くするようになっている。空乏層厚も 70μm と非常に大きい。 Astro-E II に搭載される他、 Chandra にも採用されている CCD である。

2.7.3 HPK CCD

浜松ホトニクス社、京都大学、大阪大学、および愛媛大学が共同開発を進めている X 線天文衛星搭載を目標とした国産の X 線 CCD である。内蔵 FET のノイズを低く押えることで、低ノイズ CCD を目指している。図 2.17は内蔵の MOSFET ノイズの周波数依存性を 10 kHz から 10 MHz までプロットしたものである [17]。低周波数帯では 1/f ノイズが効いているが、我々の用いる 100 kHz 帯域ではノイズはホワイトノイズが主となる。

HPK CCD の読み出しのゲインが 2.5μV/electron であることを用いて CCD 本体からのノイズを計算してみよう。図 2.17より、 100kHz での内因性ノイズは 19nV/$\sqrt{\rm Hz}$ であるので、

$$\begin{aligned}\sigma_{FET} &= 19 \times 10^{-9} \times \sqrt{10^5} \quad [V] \\ &= 6.0 \times 10^{-6} \quad [\mathrm{V}] \;=\; 2.4[\mathrm{electron}] \qquad (2.7)\end{aligned}$$

となる。

次に CCD 外部からのノイズを見積もってみよう。図 2.18は CCD の外付 JFET も含めた等価回路である [18]。 FET 内部の抵抗 R_s はコンダクタンス g_m を用いて $R_s = g_m$ と表せる。また、用いられている JFET 内部での等価雑音密度 e_n は 100kHz 帯域では 1nV/$\sqrt{\rm Hz}$、

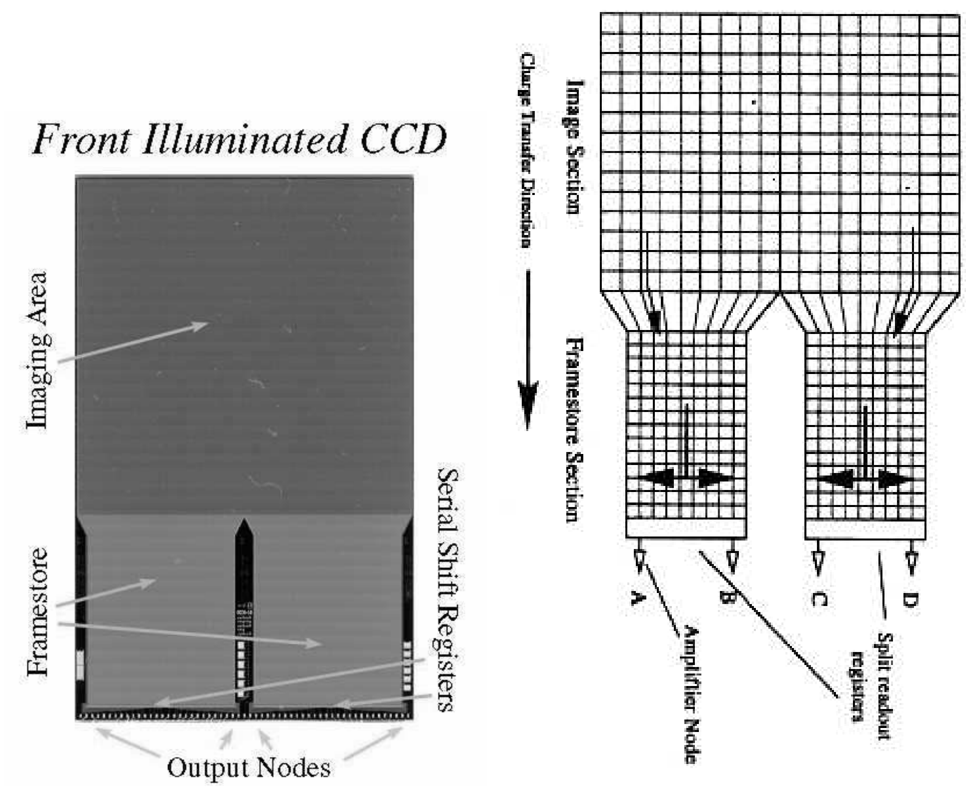

図 2.16: XIS CCD チップ

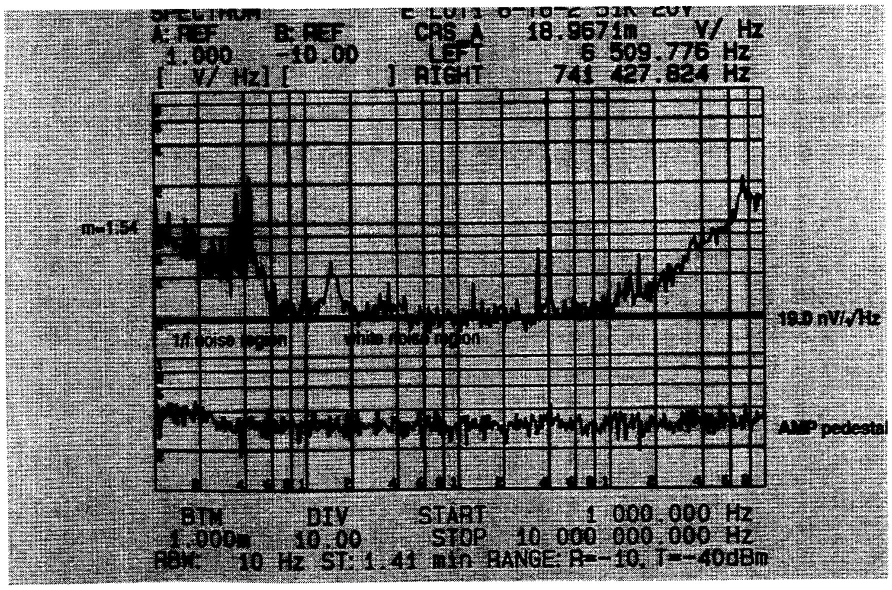

図 2.17: MOSFET の内因性ノイズ
横軸が周波数で、スケールは log スケールになっている。左端が 10kHz、右端が 10MHz。縦軸は等価ノイズで、単位は $\mathrm{V}/\sqrt{\mathrm{Hz}}$。やはり log スケールである。下端が 1 $\mu\mathrm{V}/\sqrt{\mathrm{Hz}}$、上端が $1\mathrm{mV}/\sqrt{\mathrm{Hz}}$。

Gate Leakage currentI_n は $1.5\mathrm{pA}\sqrt{\mathrm{Hz}}$ である [28]。また、 $g_m = 110\mu S$ となっている。 external load を $20\mathrm{k}\Omega$ とすると、 external load でのノイズカレント I_{nL} は

$$I_{nL} = \frac{e_n}{R_L} = \frac{1 \times 10^{-9}}{20 \times 10^3} = 0.2 \quad \mathrm{pA}/\sqrt{\mathrm{Hz}} \tag{2.8}$$

である。
　等価入力雑音を求めるため、まずはシステム利得 H を求める。

$$H = \frac{R_L}{R_s + R_L} = \frac{g_m R_L}{1 + g_m R_L} \tag{2.9}$$

次に出力雑音 e_n^{out} を求める。ただし、増幅回路系での電圧ノイズ、電流ノイズをそれぞれ e_{na}、 I_{na} とする。

$$(e_n^{out})^2 = (e_n H)^2 + e_{na}^2 + (I_{na}^2 + I_{nL}^2)\left(\frac{R_s}{R_L}\right) \tag{2.10}$$

最後に、等価入力雑音 e_n^{in} は、

$$\begin{aligned}(e_n^{in})^2 &= \left(\frac{e_n^{out}}{H}\right) \\ &= e_n^2 + \left(\frac{R_s + R_L}{R_s}\right) e_{na}^2 + (I_{na}^2 + I_{nL}^2) R_s^2 \end{aligned} \tag{2.11}$$

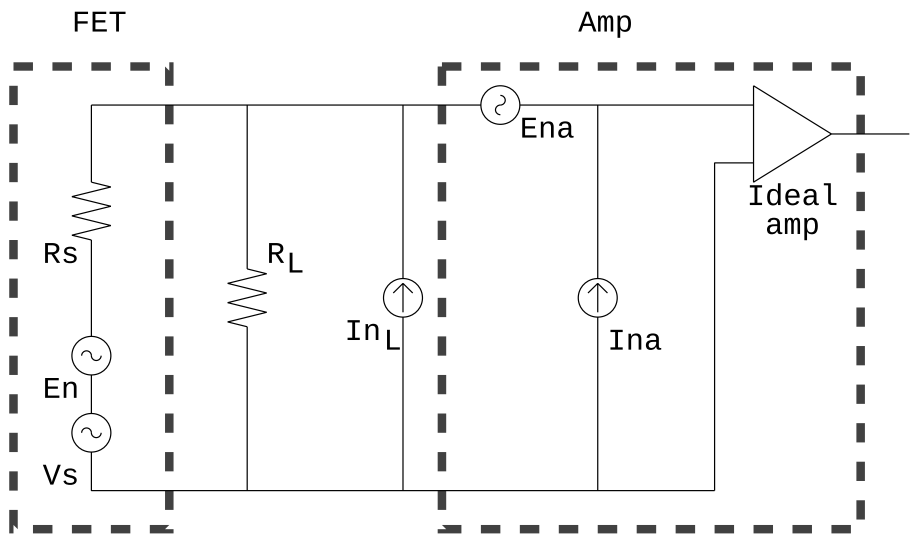

図 2.18: JFET を含めた読み出し系等価図

となる。ここで増幅回路部分のノイズが完全に無視できるとしよう。すると、

$$
\begin{aligned}
(e_n^{in})^2 &\simeq e_n^2 + I_{nL}^2 R_s^2 \\
&= e_n^2 \left(1 + \frac{3}{2}\frac{1}{g_m R_L}\right) \qquad (2.12) \\
e_n^{in} &= \frac{1\times 10^{-9}}{\sqrt{10^5}}\sqrt{1+\frac{3}{2}\frac{1}{110\times 10^{-6}\times 20\times 10^3}} \\
&= 3.6\times 10^{-7}\ [\mathrm{V}] \ = \ 0.14[\mathrm{electron}](\equiv \sigma_{JFET}) \qquad (2.13)
\end{aligned}
$$

これは (2.7) に比べて十分小さく、CCD からのノイズは大半が内因性であることを示している。(2.13) と合わせて実際に測定される真の CCD 読み出しノイズ $\sigma_{r.o.n.}^{true}$ は、

$$
\begin{aligned}
\sigma_{r.o.n.}^{true} &= \sqrt{\sigma_{FET}^2 + \sigma_{JFET}^2} \\
&= 2.4[\mathrm{electron}] \qquad (2.14)
\end{aligned}
$$

となる。

HPK CCD の仕様には、大きく分けて次の 2 種類がある。

- **1/2 inch CCD**
  1/2 inch × 1/2 inch の大きさのパッケージに入っているためこのように呼ばれる。セラミックケースに入っているため、SIS や XIS のように何枚も並べて使用することは出来ない。2 相方式の転送を用いた Full Frame Transfer 方式を採用しており、ピクセルサイズは 8μm、12μm などがある。開発段階とその空乏層厚によって、standard、deep 1、deep 2、deep 3、deep 4 まで開発されている。

- **CCD-CREST**
  XIS を目指し、出来るだけ XIS に近い外形を持つよう作られた CCD である。(図 2.19。)ピクセルサイズは 24μm、露光領域が 1,024×1,024 ピクセルで、2 相方式の Frame Transfer 方式を採用している。読み出し口は 2 箇所で、どちらから読むことも、また両方

から半分づつ読むことも可能である。将来の衛星搭載を意識し、すき間なく並べられる (butterble) 外形をしている。

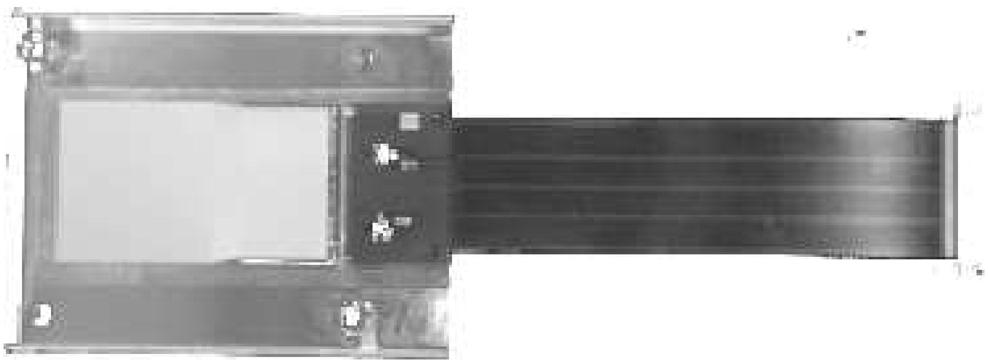

図 2.19: HPK CCD CCD-CREST チップ
CCD 本体（左側の白く写っている部分）の向かって左側が露光領域、右側が蓄積領域であり、 flex cable （右半分の黒い部分）によって基板につながる。

第 3 章

XIS 読み出し回路を用いた HPK CCD の性能評価

3.1 目的

現在までに HPK CCD は様々な方法で性能評価が試みられている [4]。しかし、現在 CCD 読み出し回路はまだ開発段階であり、目標とする XIS との比較が正当にできる段階には至っていない。そこで我々は、 XIS 用に開発された現在のところ最高の性能を持つ読み出し回路、 XIS Analog Electronics (XIS AE) を用いて HPK CCD を評価することにした。ただし、 AE は実際の搭載品は現在は存在しないため、地上実験用の AE(EMJ3) （図 3.1 ）を使用している。

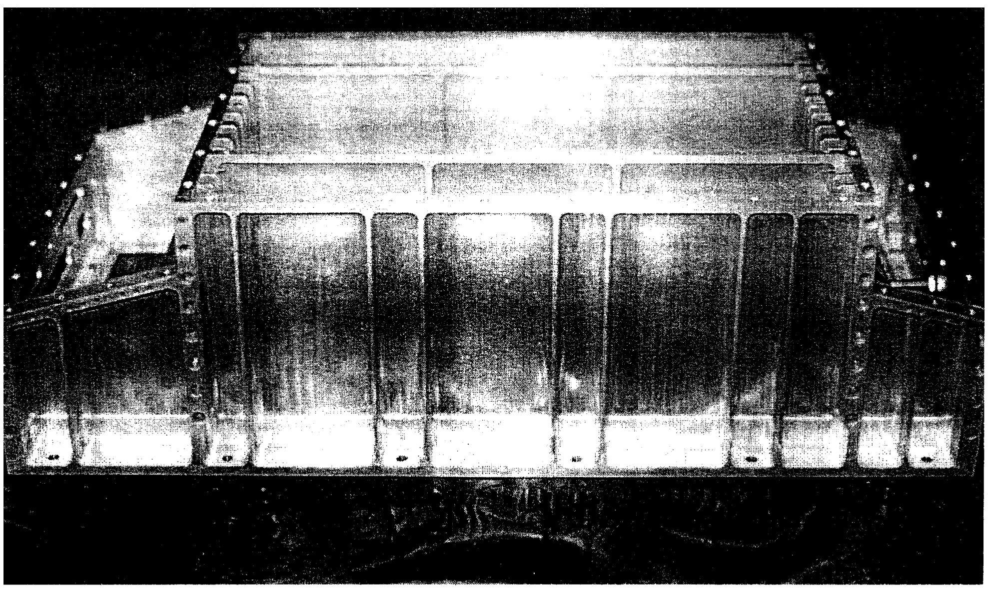

図 3.1: XIS-AE EMJ3

XIS 読み出し回路を用いるもう一つのメリットは、最高性能の読み出しシステムを用いることで、 HPK CCD の能力を最大限に引き出せることである。またこの実験は、 ASTRO-E II に搭載される CCD が HPK CCD になった場合の評価も兼ねている。現在 ASTRO-E II 用 XIS は Lincoln Labo. で製作中であるが、打ち上げまでに同じ質のものが製作できない可能性も残っている。その時には、今回の実験を叩き台として HPK CCD と XIS 読み出し回路を組み合わせて搭載することになるだろう。

3.2 XIS とその読み出し回路について

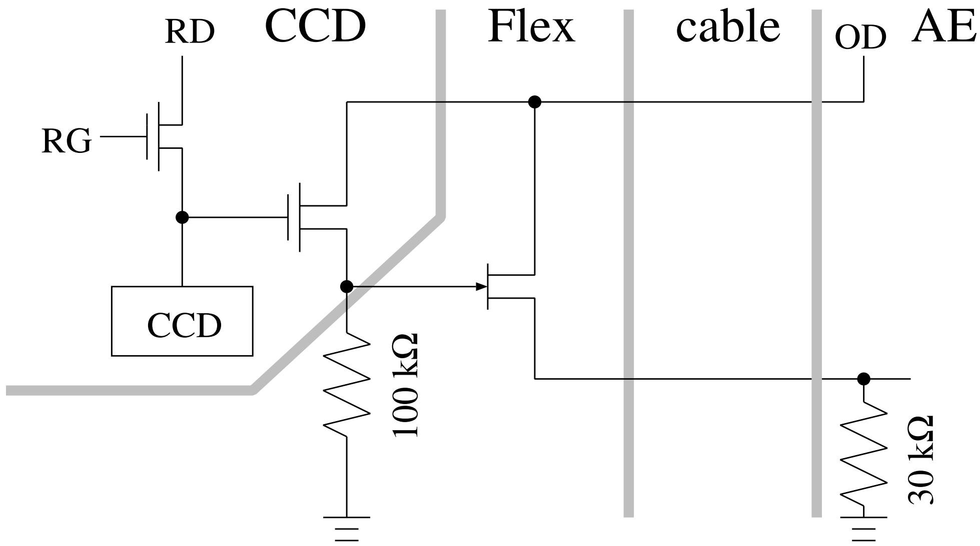

図 3.2: XIS から AE までの結線図

XIS-AE は 2.7.2節でも述べたように、波形処理に積分方式を採用している。CCD からの電荷は図 3.2のように内部 JFET のロード抵抗 100 kΩ で電圧に変換され、再び FET で電流に変換される。この FET のソースはそのままケーブルを通して AE へ到達し、そこで初めてロード抵抗 (30 kΩ) で落ちるようになっている。

AE 内部は図 3.3のようになっている。ここで全ての部品番号の最後に B がついているのは、XIS は CCD の４箇所から同時に読み出しを行なうため、同一の回路が A から D まで４組存在し、図 3.3はそのうち B を示した。この内部について、簡単に説明しておく。

AE 内に入ってきた信号は Q2B のトランジスタで電流に変換される。Q2B のコレクタに流れる電流は A 部の Q6B 若しくは Q7B に流れる。A 部はミラー回路を用いた差動増幅回路の形をしているが実際の役割は差動増幅ではなく、Q2B のコレクタに流れる電流を Q6B に流すか Q7B に流すか決定するスイッチである。どちらに流れるかを制御しているのは、INT^+ と INT^- である。この二つの入力は電荷を + 側に積分するか - 側に積分するかを決める TTL 信号で、CCD クロックと同時に作られている。$\overline{\mathbf{INT}^+}$ および $\overline{\mathbf{INT}^-}$ 共に high であった時はどちらにも信号が流れない。$\overline{\mathbf{INT}^+}$ が low level になると Q7B が on になる。Q8B、Q9B がカレントミラーの形をしていて Q8B には電流が流れないため、Q7B までやって来た電荷は全て C1B へ流れ込む。逆に $\overline{\mathbf{INT}^-}$ が low level になると Q6B が on になる。この時 Q2B からの電荷は Q8B に流れ、-12V 電源へと捨てられる。と同時に、Q8B と Q9B はミラー回路の形になっているため Q9B にも同じだけの電荷が流れることになる。ところが Q7B は close されているため電流を流すことが出来ず代わりに C1B から Q9B に向けて電荷を流すことになる。

$\overline{\mathbf{INT}^+}$ を信号がフロートレベルの時に、$\overline{\mathbf{INT}^-}$ を信号がシグナルレベルの時に同期させれば、上で述べた電荷の流れは結果的に B 部での積分を意味する。実際に測定した際のクロックタイミングについては、Appendix A を参照されたい。コンデンサ C1B が実際に電荷の積分を行なう。積分された電荷は U2B の帰還によって電圧に変換される。積分された電荷を一ピクセル毎にリセットするのが C である。RST は積分終了と同期させた TTL 信号であり、積分終了の後、FET の Q10B によって C1B の電荷はリセットされる。B での

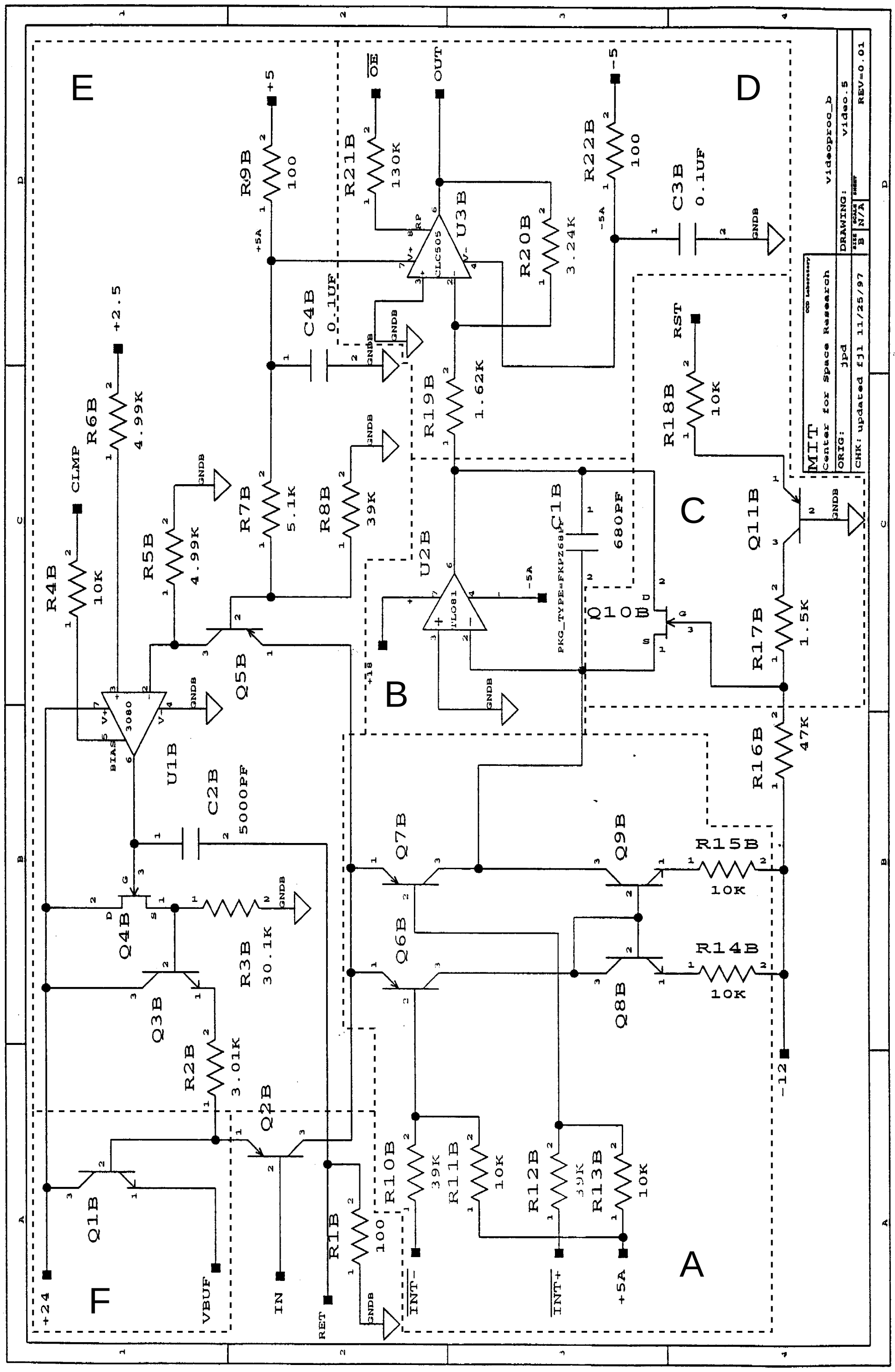

図 3.3: XIS AE 回路図

結果は D で増幅され、 ADC へと入力されるようになっている。 D での増幅率 G_D は

$$G_D = \frac{3.24\ \mathrm{k}\Omega}{1.62\ \mathrm{k}\Omega} = 2 \tag{3.1}$$

となっている。

E 部は電流安定化のための回路である。 U1B は単なるオペアンプではなく、入力の電圧差を電流差に変換するものである。 U1B の + 入力は常に 2.5V になるように設定されている。 - 入力側が 2.5V からずれた場合に電流が流れ、 FET とトランジスタを通して Q2B のコレクタ電圧が常に 5V となるようになっている。 CLMP は D 部で出てきた RST と同一であり、積分コンデンサをリセットするたび、次に続くフロートレベルを一定にする役割を持っている。

F 部は House keeping に続く部分であり、入力電圧を見張っている部分である。 House keeping とは、衛星上でも電圧や温度などを管理する部分のことである。この向うには 7.5 kΩ で GND に落ちている。

3.3 実験装置と設定

3.3.1 使用クロックの決定

2.7.2節、および 2.7.3節でも述べたように XIS は 3 相クロックで駆動させるのに対し、 HPK CCD は 2 相クロック駆動である。また、 XIS は Frame Transfer 方式で駆動していたのに対し、 HPK CCD は (Frame Transfer 方式も可能ではあるが) Full Frame Transfer 方式で駆動させる。 FT 方式を採用しなかったのは、現在は回路上で露光領域の縦転送と蓄積領域の縦転送が結線されているため、露光領域と蓄積領域を違うクロックで駆動させることが出来なかったためである。さらに XIS の場合はすでに最適駆動電圧が決定されていたため AE の出す DC 電圧の中には調節ができないものもある。従って、 XIS と HPK ではクロックおよび DC 電圧はピン配置も含め一対一対応することはできない。

新しくクロックを再配置する際、気をつけなければならないのが XIS AE からの各クロックの特性である。 XIS AE の Driver 部で作られるクロックの種類は次のようになっている。

1. 縦転送クロック
   縦転送時の CCD の容量は約 18 nF である。このような大きなキャパシタンスにクロック電圧をクリップさせることなく与えるためには、 push-pull 回路が必要である。縦転送クロック作成部は図 3.4のようになっている。まず、 DAC で設定した値からクロックの電圧をレギュレータで作る。このとき、 DAC は正の値しか作れないため、 DAC−+ と DAC−− という二つの値を設定し、その引き算をする形で負の電圧を作る。こうして作られた電圧は push-pull 回路に送られ、アナログスイッチによってスイッチングされて CCD へと到達する。縦転送クロックは、 Frame Stored 領域用縦転送 × 3、 Imaging Area 領域用縦転送 × 3 用意されている。

2. 横転送クロック
   横転送時のキャパシタンスは 90pF と小さいため、 push-pull 回路は不要である。従って、 DAC からレギュレータを通した電圧はアナログスイッチングをされ、そのまま CCD へと伝えられる。なお、 Reset Gate 用のクロックは DACが用意されていないため、クロックの low を 0V 以下にすることは出来ない。このようなクロックは、シリアルレジスタ用横転送 × 3 と Reset Gate 用 × 1 合計 4 回路用意されている。

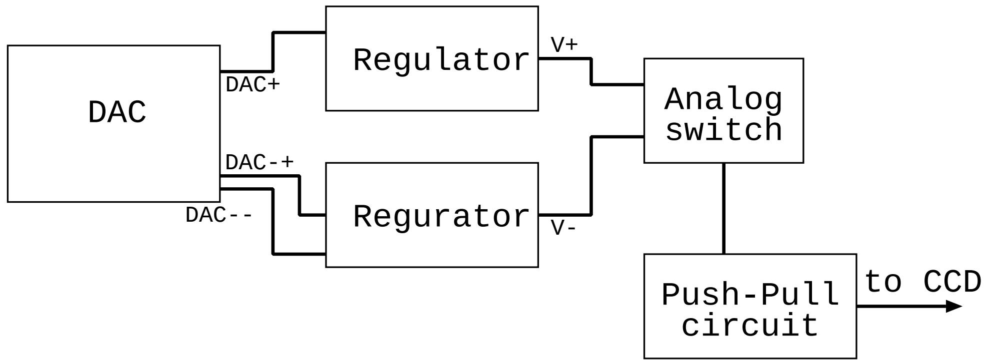

図 3.4: 縦転送クロック作成部概念図

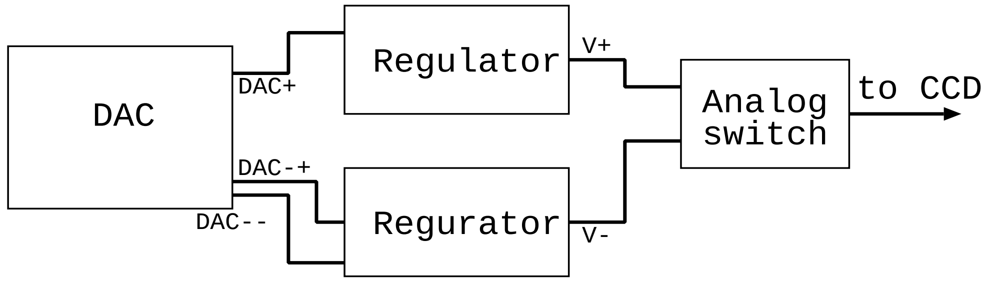

図 3.5: 横転送クロック作成部概念図

3. レギュレータ付き DC 電圧
   CCD にかける DC 電圧は、レギュレータを通したものである。 Reset Drain の電圧や、予備の DC 電源である Drain A – D もレギュレータが入れられている。

4. レギュレータ無し DC 電圧
   CCD 周りに電圧をかけることによって dark current を集めて落とす Scupper と言われる電極などに用いられている。単なる抵抗分割で電圧を決めているため、電流が流れると電圧値が変わってしまう。従って、今回は使用しなかった。

このようなことを考慮し、実際に用いるクロックは表 3.1のような再配置を行なった。

XIS†	clock‡	HPK CCD*
P1-OR	1	P1H
P2-OR	1	P2H
P3-OR	1	SG
RG	1	RG
P1-IA	2	OG
P1-FS	2	P1V
P2-FS	2	P2V
P3-FS	2	TG
DR-A	3	OD
DR-B	3	RD
GND	-	GND
OUT-A	-	OS

† : P1、 P2、 P3 は三相クロックの電極の番号、 OR は横転送電圧、
IA は露光領域の縦転送電圧、 FS は蓄積領域の縦転送電圧、
DR はドレイン電圧。
‡: 本文中で述べたクロックの種類。
*: P1、 P2 は二相クロックの電極の番号、 H は横転送電圧、 V は縦転送電圧、
SG は横転送最終電極、 TG は縦転送最終電極。

表 3.1: XIS AE から HPK CCD へのクロック再配置

3.3.2 HPK buffer 基板の改良

3.2節で述べたように、 XIS の場合は CCD 上の FET は AE 内に入って初めて 30 kΩ で接地される。しかし、 HPK CCD の場合、専用 buffer 基板 (= 30TOC48。図 3.6参照。) で 7.5 kΩ と 5.0 kΩ で接地されているため、電流の多くはこちらに流れてしまい、 AE に到達しない。そこで我々は flex cable 上の FET を open にし、 AE に直接接続するよう図 3.6の A 点と B 点を接続している。

3.3.3 駆動クロックパターンとイメージ

我々が今回用いた CCD、 CCD-CREST の露光領域は 1024×1024 ピクセルあるが、 XIS AE は読み出し口 4 箇所で分けて読み出すため、 256 × 1024 ピクセルしか読むことが出来ない。そこで我々は、 CCD の一部だけをデータとしてとり込み、残りは空読みすることで

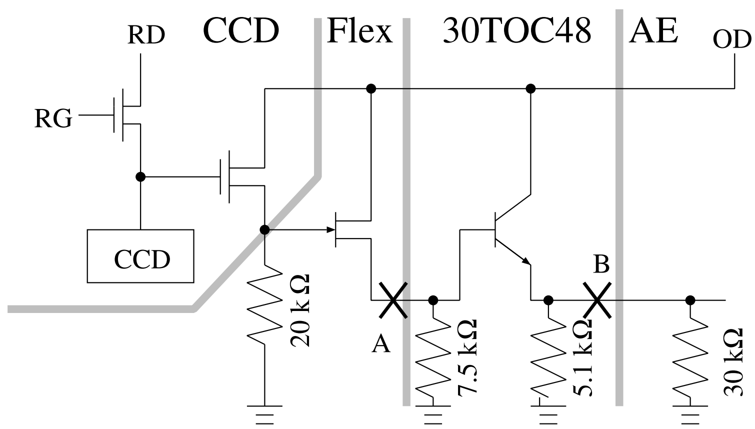

図 3.6: CCD 用 buffer 基板

XIS AE に対応する。図 3.7でいうと Active 領域 (256 × 1008ピクセル) にあたる。さらに後のノイズ評価のため、 Active 領域以外にも空読み部分をデータとしてとり込んでおく。図 3.7で HOC(Horizontal Over Clock) 領域とされている部分は、横転送を 24 回余計に行なうことで露光時間と縦転送時のノイズを含まないデータが得られる。また VOC(Vertical Over Clock) 領域は縦転送を 16 回余計に行なうことで、露光中のノイズを含まないデータが得られる。各領域でのっているノイズをまとめると、次のようになる。ノイズの名称については 2.6.1節を参照されたい。

- **Active** 領域： 読み出しノイズ + 暗電流 + CTI + 縦転送ノイズ + 横転送ノイズ
- **VOC** 領域： 読み出しノイズ + 縦転送ノイズ + 横転送ノイズ
- **HOC** 領域： 読み出しノイズ + 横転送ノイズ

実際のクロックパターンの作成は、 A節に記載してある。 CCD に入力されるクロックをオシロスコープで調べたところ、図 3.8のようになった。横転送は P1H と P2H、 SG を逆位相にすることで、電荷転送を行なう。 1 ピクセル転送するごとに RG によりリセットを一回ずつ行なう。また、縦転送は一ライン横転送する毎に一回行なわれる。縦転送も P1V と P2V、 TG を逆位相にして電荷転送を行なっている。ここで、縦転送クロックは立ち上がりがなまっているのが見てとれる。これは、縦転送の際 CCD の容量が大きく見えるため、CCD そのものがローパスフィルターのような役目を果たすためである。このなまりによって、 spurious charge が軽減される (2.6.7節参照) と予想される。

3.3.4 実験装置

実験装置の概略は図 3.9のようになっている。まず、読み出し回路の制御は SUN WS で行なっている。 SUN 上でプログラミングされたクロックパターンと出力電圧が読み出し回路内で作られ、 HPK CCD buffer 回路を通して CCD に伝えられる。 CCD には電子捕獲により Mn Kα line を出す ^{55}Fe からの X 線が照射されている。 CCD からの信号は再び buffer 回路から AE に入ってくる。 XIS AE は積分方式 (2.4.3節参照) で波形処理を行ない、 ADC を通して SUN 上で fits 形式に書き出される。

その他の各種設定は、表 3.2のようになっている。 CCD の名称についての説明は 2.7.3節に、各クロックの名称は表 3.1に述べてある。

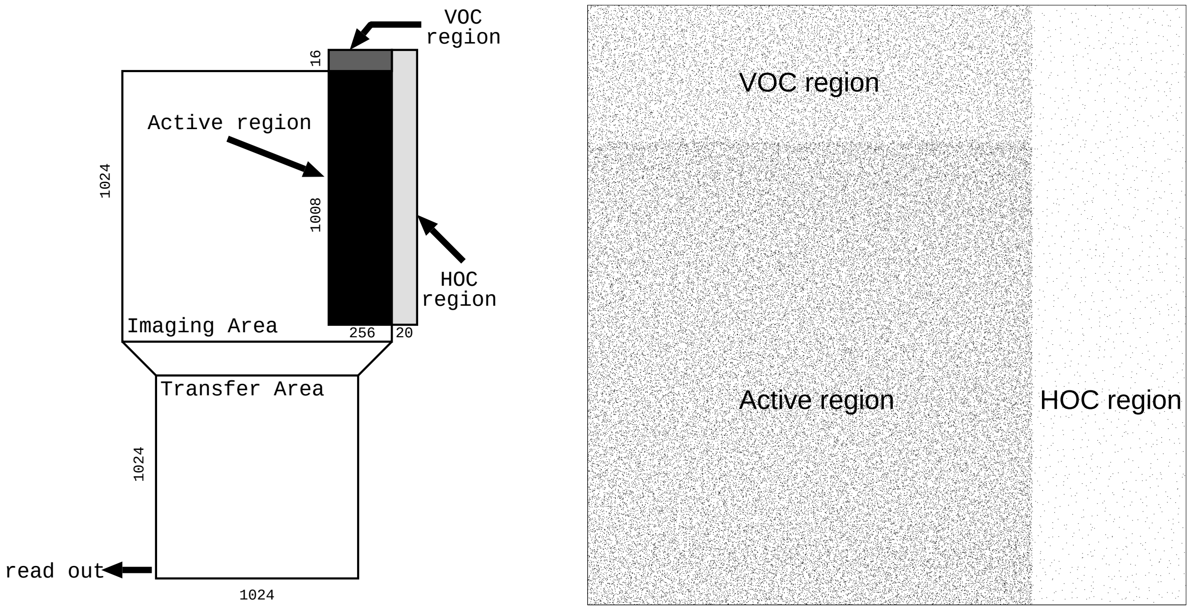

図 3.7: CCD 上の Active 領域と横転送空読み領域 (HOC)、縦転送空読み領域 (VOC)
（左）： CCD 上での位置関係の模式図。（右）：実際のデータ上の各領域の拡大図。

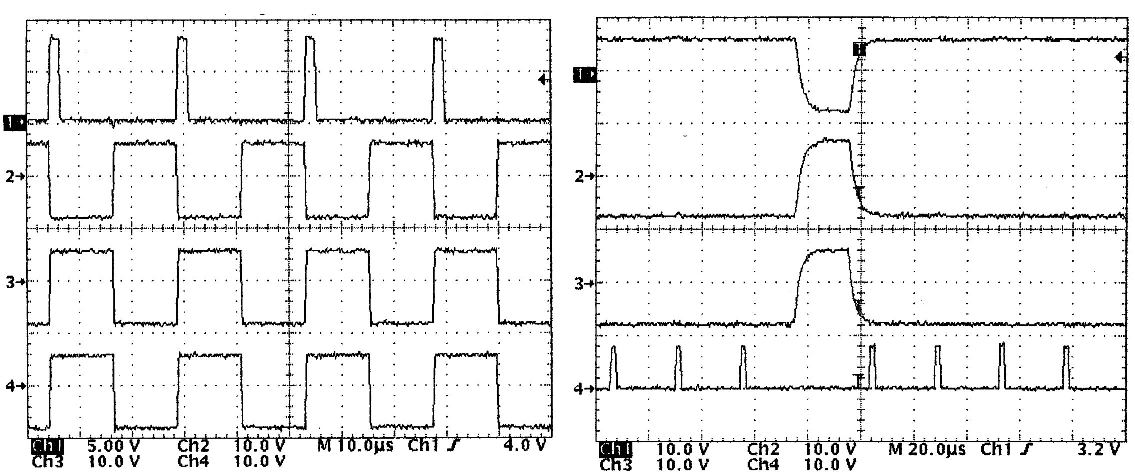

図 3.8: 各転送クロックの関係
左：横転送クロックの関係。上から順に RG、 P1H、 P2H、 SG。横軸の 1div. は 10μsec である。右：縦転送クロックの関係。上から順に P1V、 P2V、 TG、 RG。横軸の 1div. は 20μsec である。

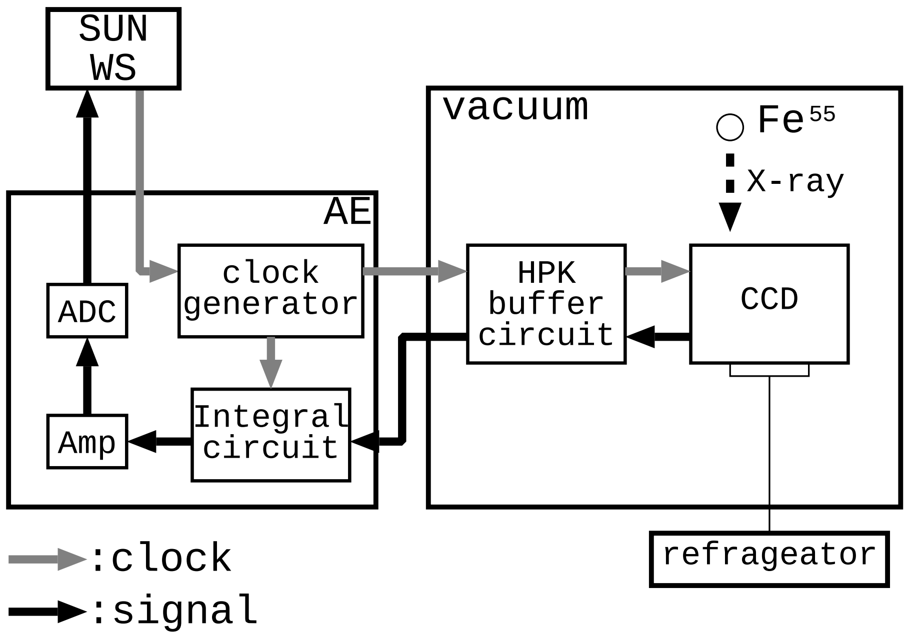

図 3.9: 実験装置概略図

CCD		NE8 5-2 (CCD CREST Deep1)
照射 X 線		^{55}Fe
		Mn Kα 5.894 keV
		Mn Kβ 6.498 keV
設定温度		-100°C
初期設定電圧 (V)	P1V, P2V, TG	$+7.1/-8.0$
	P1H, P2H, SG	$+6.0/-8.0$
	RG	$+8.0/+0.0$
	RD	$+13.6$
	OG	$+3.5$
	OD	$+21.6$
蓄積時間		26.5 sec
転送時間		5.5 sec
取得フレーム数		200 枚

表 3.2: 実験設定

3.4 実験結果

3.4.1 データ処理と解析

我々は XIS と同様、 grade 法を用いてスペクトル解析を行なった。各電圧が最適値 (電圧の最適化に関しては次節参照) の時の grade 毎のスペクトルは、図 3.10のようになった。^{55}Fe からの X 線 (Mn Kα = 5.894 keV、 Mn Kβ = 6.498 keV) が分離できているのが分かる。また、一次 X 線を吸収して Si 蛍光 X 線が発生した後 CCD 外に X 線が逃げる Si エスケープイベント (4.155 keV) も見えている。

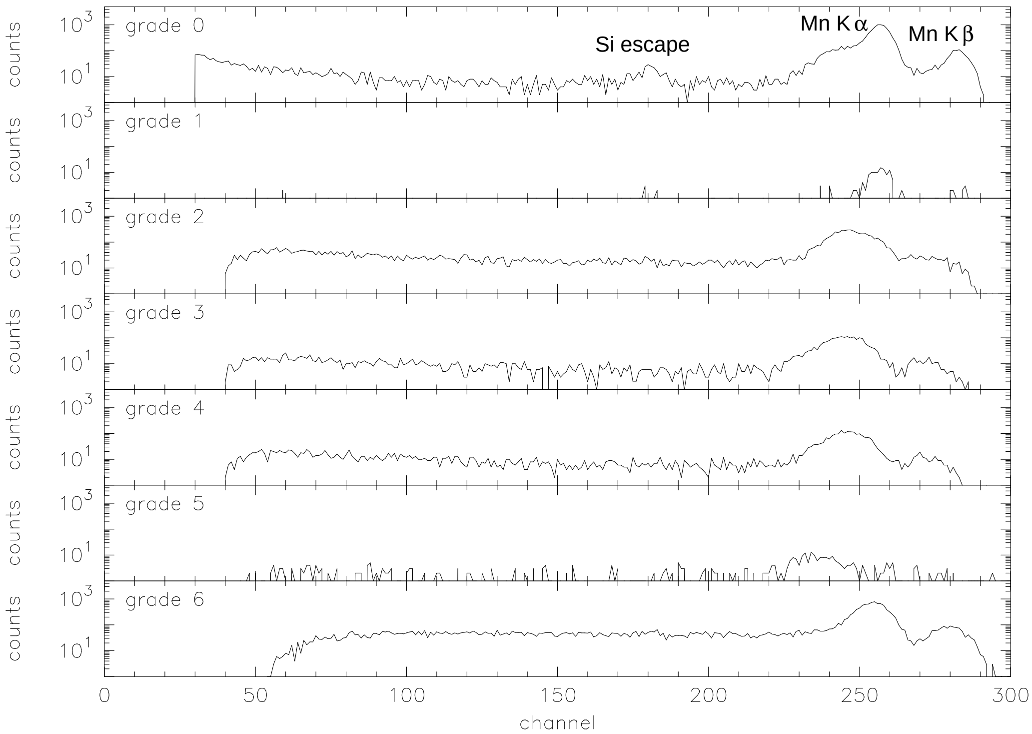

図 3.10: HPK CCD による ^{55}Fe からの X 線スペクトル
ただし、電圧は最適化した後のものである。

しかし、 grade 0 と grade 2、 3、 4 の中心ピークはずれており、 grade 0 でも低エネルギー側に大きな tail 成分が出来ている (図 3.11参照) 。この原因究明と解決については 3.7節で考えることとし、この節では grade 0 のデータのみを扱い、 tail 成分にもう一つサブピークとしてガウシアン (今後はこのモデルをダブルガウシアンと呼ぶ) を適用することで解析を行なった。

3.4.2 各電圧の最適化

CCD の駆動能力には、 CCD にかけるクロックおよび DC 電圧が大きく関係することは 2.6.1節で述べた。ここでは各電圧を変えることで、エネルギー分解能がどのように変化す

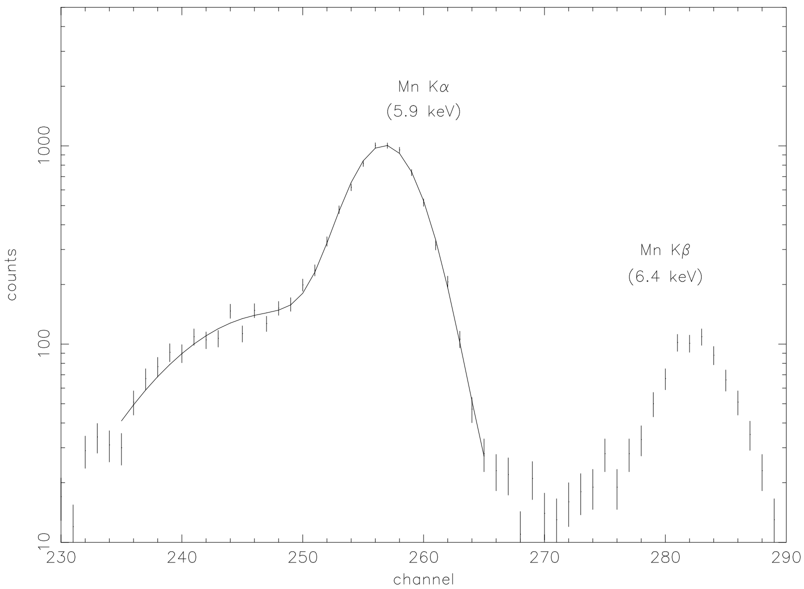

図 3.11: grade 0 の Mn Kα ラインのベストフィット
縦線はデータ、実線がダブルガウシアンによるベストフィットである。
低エネルギー側に大きな tail が出来ているのが分かる。

るかを調べ、最も良いエネルギー分解能を出す最適電圧を調べる[1]電圧は、表 3.2の値から 1. 横転送電圧、 2. 縦転送電圧、 3.Output Gate 電圧、の順番に変更し、それぞれの電圧でのゲイン、エネルギー分解能、および読み出しノイズを調べた。その他の電圧は FET のドレイン電圧であるため、エネルギー分解能にはあまり関係しない。従って今回の実験では、変更することはしなかった。また、電圧最適化の時に用いるエネルギー分解能は、 grade 0 のデータだけを用いている。

1. 横転送電圧の最適化
   まず最初に調べたのは横転送電圧である。クロック電圧の電圧差が大きすぎるとクロック反転時により多くの spurious charge が出来るため、エネルギー分解能が悪くなることが予想される。逆にクロック電圧の電圧差が小さすぎると、今度は転送がうまく行なわれず、ゲインが落ちてしまい、エネルギー分解能も当然落ちる。そこで我々は初期設定電圧から横転送の low level を上げていきながら最適値を探した。 low level を変数としたのは、同じ電圧差でも露光領域から横転送領域へ電荷を転送するためには、縦転送電圧よりも横転送電圧の方が高い必要があるからである。横転送電圧を変えた時の結果が図 3.12である。転送電圧差が大きすぎるとエネルギー分解能も読み出しノイズもが悪くなっているのが分かる。また、転送電圧差が小さすぎてもゲインが低くなっているのが分かる。この時に読み出しノイズが大きくなっているのは、ゲインが低くなったために同じノイズレベルでも electron 換算する際実効的に悪くなってしまったためと考えられる。実験の結果、横転送電圧の最適値は +6/-3V で、この時のエネルギー分解能は 143^{+5}_{-5} eV (FWHM) であった。以降では横転送電圧は最適値に

[1] 検出効率の改善は考慮に入れていない。

固定したまま実験を行なう。

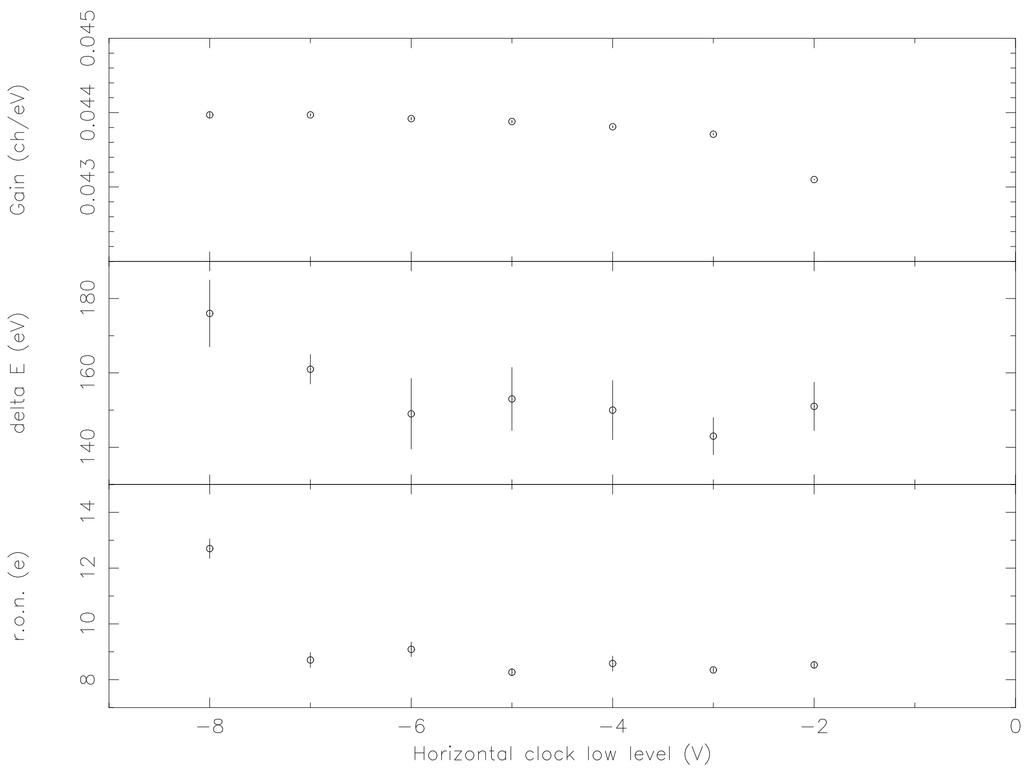

図 3.12: 横転送電圧 low level を変えた場合のゲイン、エネルギー分解能、読み出しノイズ変化

ただし、 high level は +6 V に固定してある。

2. 縦転送電圧の最適化
   次に縦転送電圧とエネルギー分解能の関係を調べた。電圧差の大小と読み出しノイズとの関係は横転送電圧の場合と同じである。ただし、露光領域からシリアルレジスタに電荷が転送できるよう、こんどはクロックの High level を変化させる形で実験を行なった。その結果が図 3.13である。やはり電圧差が大きすぎても小さすぎても読み出しノイズ、エネルギー分解能共に悪化するのがわかる。この実験より縦転送電圧の最適値は +4.7/-8V で、この時のエネルギー分解能は 141^{+6}_{-6} eV (EWHM) であった。これ以降、縦転送電圧は最適値に固定したまま実験を行なう。

3. **Output Gate** 電圧の最適化

   最後に Output Gate 電圧の最適化を行なった。この電圧は Reset Gate 電圧と大きく関係している。 Output Gate 電圧が Reset Gate 電圧に対して小さすぎると十分に reset することが出来ず、ゲインが小さくなってしまう。一方 Output Gate 電圧が Reset Gate 電圧に対して大きすぎても Reset Gate に対するポテンシャルの差が小さくなり、ゲインがやはり小さくなってしまうと予想される。実際に測定した結果は図 3.14に示した。 Output Gate 電圧が高すぎても低すぎてもゲインが小さくなり、エネルギー

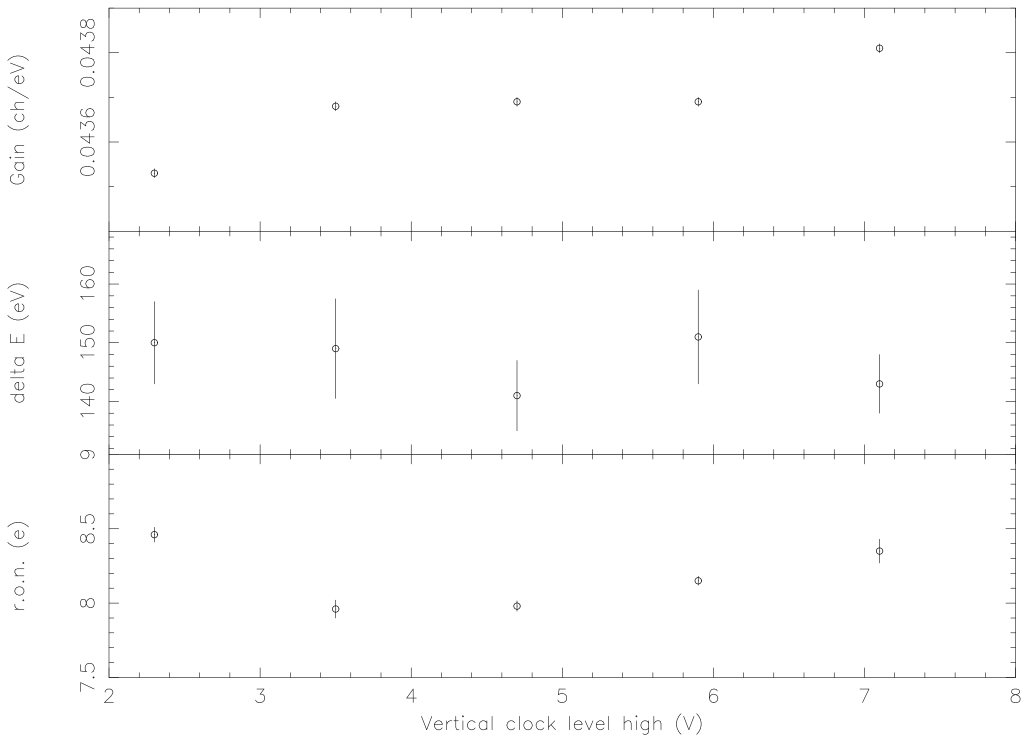

図 3.13: 縦転送電圧 high level を変えた場合のゲイン、エネルギー分解能、読み出しノイズ変化
ただし、 low level は -8 V に固定してある。

分解能、読み出しノイズ共に悪くなっているのが分かる。 Output Gate 電圧の最適値は 4.1 V であった。これは Reset Gate 電圧の high レベルと low レベルのちょうど中間であった。最適値でのエネルギー分解能は 140^{+8}_{-6} eV、読み出しノイズは 8.0 electron であった。

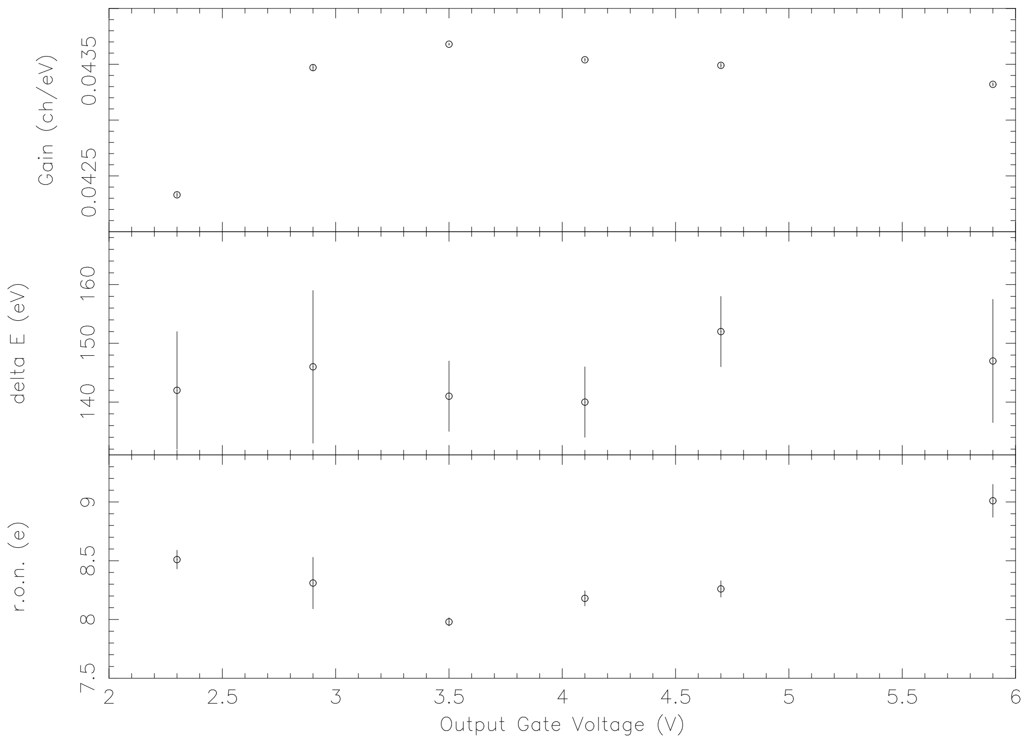

図 3.14: Output Gate 電圧を変えた場合のゲイン、エネルギー分解能、読み出しノイズ変化

3.5 CCD 評価

3.5.1 grade 分岐比

CCD 評価の取り掛かりとして、まず各 grade 毎の分岐比を調べた。各 grade に分岐したイベント数とその比は表 3.3のようになっている。 grade 3 と grade 4 はどちらも横 split event であるが、その分岐比はほぼ等しく、このことからイベント転送がうまく行なわれていることが分かる。また、 grade 2 と grade 3、 4 のイベントの合計を比較した場合、 grade 2 イベントの方が多い。

grade 2 イベントが多い原因として考えられるのが、チャネルストップと呼ばれる CCD の内部構造である。 CCD のピクセル間の電荷移動は、転送に平行な方向に関しては電極によりポテンシャルを変化させることで障壁を作って押えることが出来る。しかし、転送に垂直な方向にはこの方法は適用できない。そこで、ピクセルの一部に不純物を集中的にドープすることで人工的な障壁を作る。図 3.15は XIS のチャネルストップ構造であるが、 HPK

grade	0	1	2	3	4	5	6	7
総カウント数	23,477	417	10,637	3,539	3,959	1,921	68,962	14,615
grade 分岐比 (%)	18.4	0.3	8.4	2.8	3.1	1.5	54.0	11.5
XIS grade 分岐比 (%)	41.4	0.35	16.82	6.44	6.51	0.47	20.86	7.12

表 3.3: split threshold を $4\sigma_{r.o.n.}$ に設定した場合の grade 分岐比
3 列目は比較のための XIS の Mn Kα イベントに対する grade 分岐比である。ただし、split threshold は HPK CCD、 XIS ともに $4\sigma_{r.o.n.}$ である。

CCD も同じ構造をしている。このチャネルストップのため、横方向に split することは縦方向に split するよりも難しくなり、 grade 2 イベントが相対的に多くなると考えられる。これは SIS でも見られた現象である。

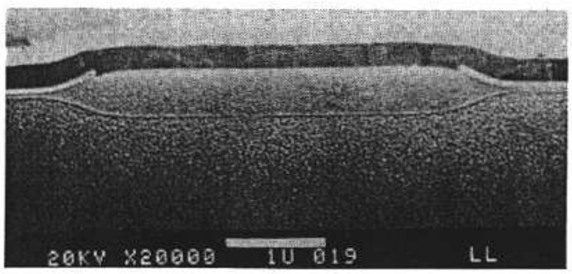

図 3.15: XIS のチャネルストップ構造

次に、 XIS の grade 分岐比と比較して見よう。 grade0 と 2、 3、 4 の比率は HPK CCD と XIS でほぼ同じであるのに対し、 grade 6、 7 とそれ以外への分岐比が全く違うのが分かる。これは、 XIS に比べて HPK CCD の空乏層が薄いため、中性領域で広がってしまったイベントが多いことを示している。

3.5.2 ゲイン評価

図 3.16は、 HPK CCD と XIS のスペクトルを比較したものである。 XIS の MnKα ラインのピークは 1712ch にあるのに対し、 HPK CCD の場合は同じエネルギーの X 線に対して 258ch にピークが来る。これは、二つの CCD のゲイン比が

$$\frac{G_{HPK}}{G_{XIS}} = \frac{258}{1712} = 0.15 \tag{3.2}$$

であることを意味する。

この違いはどこから来るのであろうか。まず、 CCD 出力の際のゲインは、 XIS が 20μV/electron[12] であるのに対し、 HPK CCD の設計は HPK 固体事業部によると、 2.5μV/electron である。つまり、同じ X 線が入射して同じ数の電子が出来ても、出力は

$$\frac{2.5\ \mu\mathrm{V/elevtron}}{20\ \mu\mathrm{V/electron}} = 0.13 \tag{3.3}$$

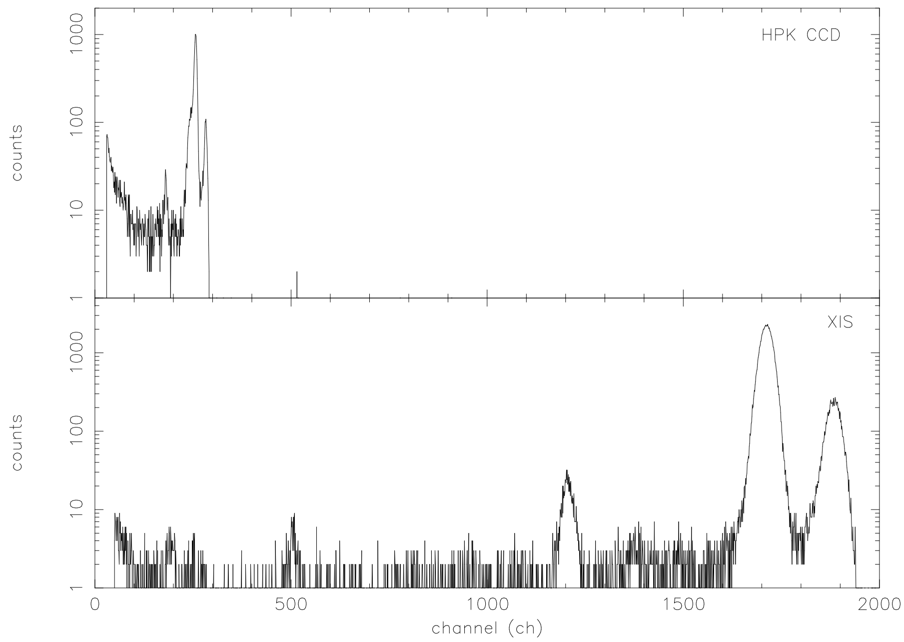

図 3.16: HPK CCD と XIS の grade 0 イベントのスペクトルの比較
上段が HPK CCD、下段が XIS である。

となってしまう。

ゲインの違いの最も大きな原因は読み出し口のキャパシタンスの違いだと思われる。 HPK CCD のゲインが小さいことはエネルギー分解能向上に大きな問題をはらんでいる。 CCD からの出力以降にノイズが乗った時、ノイズを electron 換算した時に実効的にノイズが大きく見えてしまうためである。現段階では読み出しシステムのノイズ低減が優先されるべき問題だが、今後さらに読み出しシステムが改善されてもエネルギー分解能が向上しなかった場合、このゲインの違いは大きな問題となるだろう。

3.5.3 線形性評価

入射 X 線のエネルギーと出力チャンネルの線形性を調べるため、我々は Mn Kα(5.894 keV)、Mn Kβ(6.489 keV)、および Si escape(4.155 keV) の三本のラインの中心チャンネルを用いた。ただし Mn Kα 以外のラインについては、カウント数が少なく統計が良くないためダブルガウシアンで fitting することはせず、シングルガウシアンで fitting している。 fitting の結果は図 3.17のようになった。

エネルギー E とチャンネル ch の関係は

$$ch \quad = \quad 43.5^{+0.8}_{-0.7}\ E_{\ [keV]} + 0.2^{4.5}_{-4.1} \quad [\mathrm{ch}] \tag{3.4}$$

となり、各点とも 0.4% 以内の精度で線形性があることが分かった。 Si escape のラインがやや線形性から低エネルギー側に外れている (0.4%) が、これは主に Mn Kβ escape の tail 成分が fitting を引っ張った結果、 Si escape のエネルギーで fitting がずれたと考えられる。 XIS では ± 0.2 % の精度で線形性が保たれていた [?]。従って、 HPK CCD は線形性において XIS と同程度の性能を持つことが分かる。

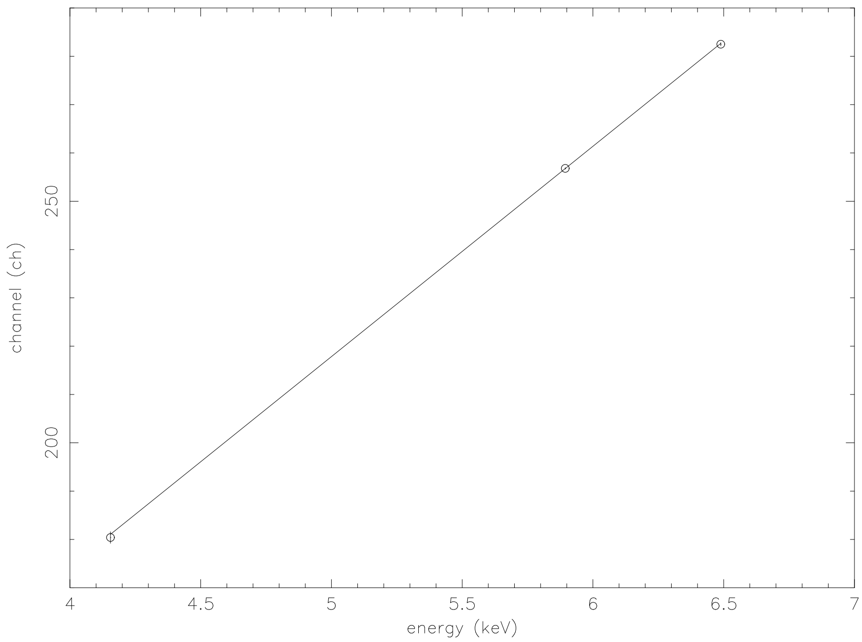

図 3.17: X 線のエネルギーとチャンネルの関係

3.5.4 読み出しノイズの評価

読み出しノイズは蓄積や転送を出来るだけ行なっていない部分でのピークの広がりで表すことが出来る。従って、 HOC 領域の標準偏差 σ を読み出しノイズとして評価することにした。

$$\begin{aligned}(\text{読み出しノイズ}) &= (\text{HOC領域0ピークの標準偏差}) \\ &\quad \times \frac{(\text{1チャンネルあたりのエネルギー})}{3.65\ \text{eV}} \quad [\text{electron}] \end{aligned} \tag{3.5}$$

最適電圧での読み出しノイズ $\sigma_{r.o.n}$ は

$$\sigma^2_{r.o.n.} = 8.0^{\ 2} \quad [\text{electron}] \tag{3.6}$$

であった。これは XIS の 3 electron と比べて、相当悪い値といえる。もっとも大きな理由として考えられるのが、 HPK CCD のゲインが小さい点である。外部回路のノイズとして AE での出力電圧では同じ大きさのノイズがのっていたとしても、 CCD での electron 換算時に実効的に大きなエネルギーのノイズがのっているように見えてしまう。そこで我々は増幅回路を使用することで、読み出しノイズを低減することを試みた。このことに関しては、3.6節で述べる。

3.5.5 暗電流の評価

読み出しノイズ、転送ノイズなどから暗電流だけを取り出して評価するために、 VOC 領域と Active 領域の 0 ピークの中心チャンネルを比べる。この二つの領域は蓄積したかどうかが異なるだけなので、その差を暗電流として評価する。

$$
\begin{aligned}
&（暗電流）\\
&= \frac{(\mathrm{VOC}領域0ピークの中心チャンネル) - (\mathrm{Active}領域0ピークの中心チャンネル)}{(露光時間)} \\
&\quad \times \frac{（１チャンネルあたりのエネルギー）}{3.65\ \mathrm{eV}} \qquad [\mathrm{electron/sec/pixel}] \qquad (3.7)
\end{aligned}
$$

2.6.3節で述べたように、暗電流は温度と強い相関を持つはずである。そこで我々は冷却中のデータを用いて暗電流の温度に対する依存性を調べた。その結果を図3.18に示す。グラフを見ても分かる通り、$-60°\mathrm{C}$ 付近で十分に暗電流が小さくなっているのが分かる。$-70°\mathrm{C}$、$-80°\mathrm{C}$ で暗電流が大きくなっているように見えるのは、このデータをとった時間帯に実験近くで工事をしていたため低周波ノイズが乗ってしまい、暗電流だけを分離することが出来なかったためである。$-100°\mathrm{C}$ での暗電流は、

$$（暗電流）_{(T=-100°C)} < 0.01 \quad [\mathrm{electron/sec/pixel}] \qquad (3.8)$$

であった。今回の駆動では、蓄積時間は $5.5\mathrm{sec}$ であるので、その時間中の暗電流によるノイズ σ_{dark} は

$$
\begin{aligned}
\sigma_{dark} &< \sqrt{0.01 \times 5.5}^{\ 2} \\
&= 0.055 \quad [\mathrm{electron}] \qquad (3.9)
\end{aligned}
$$

となる。

2.6.3節で述べたトラップ準位による暗電流を検証してみよう。(2.2) に σ_t と N_t 以外の値を代入し、フィッティングを行なった。ただし、E_g は経験則より [22]、

$$E_g(T) = 1.17 - \frac{(4.73 \times 10^{-4})T^2}{T + 636} \qquad (3.10)$$

とする。また、$\overline{v_{th}}$ は熱運動より

$$\frac{1}{2} m_n \overline{v_{th}}^2 = \frac{3}{2} k_B T \qquad (3.11)$$

から導かれる。ここで m_n は電子の有効質量であり、結晶格子の影響から $0.33m_e$ となることが知られている [15]。また、N_c および N_v はどちらも Fermi 統計に従い [21]、

$$N_c = 2\left[\frac{2\pi m_n k_B T}{h^2}\right]^{3/2} \qquad (3.12)$$

$$N_v = 2\left[\frac{2\pi m_p k_B T}{h^2}\right]^{3/2} \qquad (3.13)$$

$$m_p : \ 正孔の有効質量 = 0.5m_e$$

となる。これらより、

$$\sigma_t N_t = 1.24^{+0.05}_{-0.03} \times 10^{-5} \quad [\mathrm{cm}^{-1}] \qquad (3.14)$$

となった。

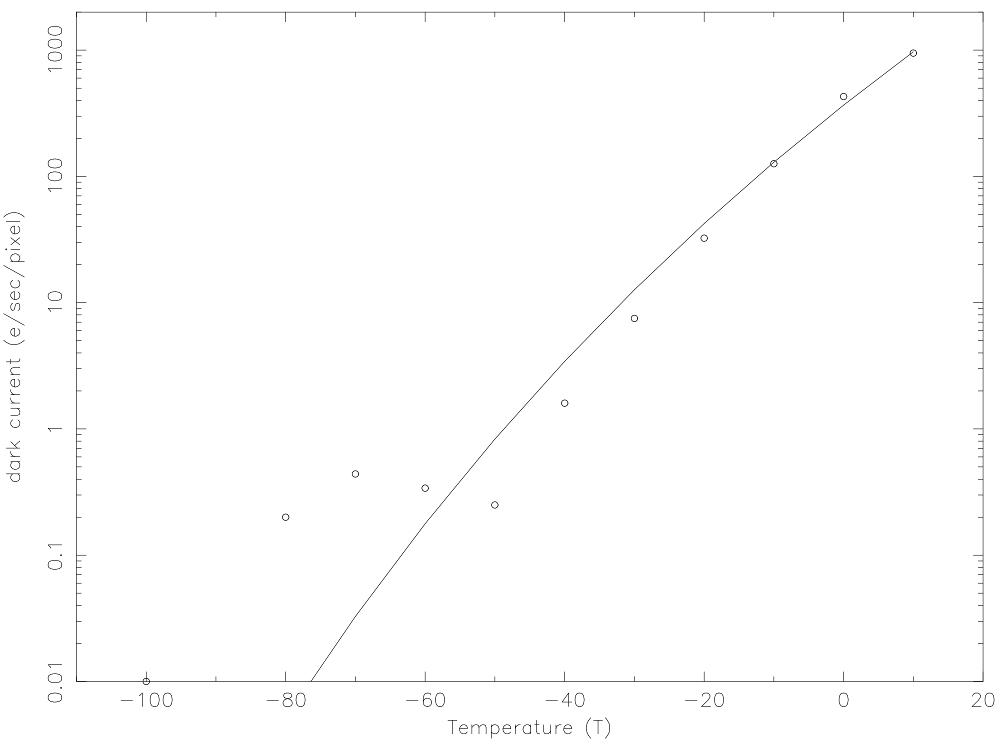

図 3.18: 暗電流の温度に対する依存性
実線は理論との検証（本文参照）。

今吉修論 [2] によると、 HPK CCD 内のトラップ数は $12\mu m \times 12\mu m$CCD で 0.27 個 /pixel となり、冨田修論 [1] の時の $12\mu\mathrm{m} \times 12\mu\mathrm{m}$ の CCD で 2.6 個 /pixel から極めて改善している。今回用いた CCD は今吉修論以降に作られたものであるため、この値を採用すると、

$$\sigma_t = \frac{1.24 \times 10^{-5}}{0.27/(12 \times 10^{-4})^3} \sim 8 \times 10^{-14}\ [\mathrm{cm}^2] \tag{3.15}$$

となった。

一般的にトラップの捕獲断面積は中性トラップに対して $10^{-19}\mathrm{m}^{-2}$、イオン化したトラップがキャリアを引き寄せる場合は $10^{-17}\mathrm{m}^{-2}$、反発する場合は $10^{-26}\mathrm{m}^{-2}$ 程度となる [15]。従って今回の結果は、トラップは中性、またはプラスイオンになっている可能性が高いことを示唆する。

XIS の暗電流は $-90°$C で 0.43 electron/sec/pixel であったことが分かっている [3]。 HPK CCD は暗電流では XIS よりも良い性能を持っていると結論することが出来る。ただし、この原因の一つに当時と現在との解析手法の違いがある。当時は spurious charge について独立に調べることはなされていなかったため、暗電流の評価には spurious charge が上乗せされていたのである。従って、 XIS の場合でも純粋な暗電流の量はもっと小さかったと考えられる。また、 HPK CCD の空乏層厚は 10μm 程度と見られ [8]、 XIS の 70μm に比べてはるかに薄い。そのため、暗電流も出来にくいわけである。いずれにせよ、現在の暗電流は XIS のそれと比べても遜色なく、エネルギー分解能に重大な悪化を及ぼす量ではない。従って、同じレベルの小さな暗電流を保ったまま空乏層をいかに厚くすることが出来るかが、今後の開発の焦点となろう。

3.5.6 CTI 評価

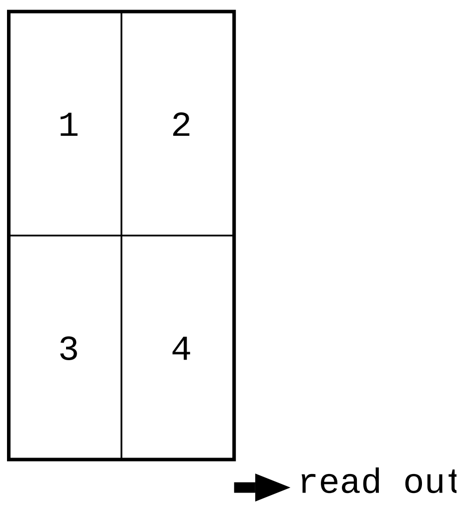

図 3.19: CTI 評価のための領域分け

電荷転送の際、電荷の取りこぼしがあると、読み出し口から遠いところのイベントほど多くの電荷を失い、その結果パルスハイトが低くなることが予想される。従って我々は、 Active 領域を図 3.19の様に 4 分割し、それぞれの領域での X 線によるイベントのピークの中心チャンネルの変化を調べることで CTI の評価を行なった。垂直方向の CTI (vertical CTI)

については領域 1 と 3 および 2 と 4、水平方向の CTI (horizontal CTI) については領域 1 と 2 および 3 と 4 を比較することで、転送一回あたりの CTI を求めることが出来る。

$$
\begin{aligned}
CTI_{vertical} &= \frac{1}{2}\frac{1}{504}\left[\frac{(peakchannel(3) - peakchannel(1))}{(peakchannel(3))}\right. \\
&\qquad \left. + \frac{(peakchannel(4) - peakchannel(2))}{(peakchannel(4))}\right] \ [\mathrm{pixel}^{-1}] \qquad (3.16)
\end{aligned}
$$

（ただし、504は転送回数の差。）

$$
\begin{aligned}
CTI_{horizontal} &= \frac{1}{2}\frac{1}{126}\left[\frac{(peakchannel(2) - peakchannel(1))}{(peakchannel(2))}\right. \\
&\qquad \left. + \frac{(peakchannel(4) - peakchannel(3))}{(peakchannel(4))}\right] \ [\mathrm{pixel}^{-1}] \qquad (3.17)
\end{aligned}
$$

（ただし、126は転送回数の差。）

この結果、各方向の CTI は以下のように求まった。

$$
\begin{aligned}
CTI_{vertical} &= 8.1 \times 10^{-7} \ [\mathrm{pixel}^{-1}] \qquad (3.18) \\
CTI_{horizontal} &= 1.3 \times 10^{-6} \ [\mathrm{pixel}^{-1}] \qquad (3.19)
\end{aligned}
$$

なお、誤差は fitting の範囲では十分小さかったため、記載していない。実際には縦転送は平均 $(1024 + 504 + 16)$ 回の縦転送と $(126 + 772)$ 回の横転送を行なっている。従って、あるイベントが読み出されるまでに失う平均電子数 N_{CTI} は

$$
\begin{aligned}
N_{CTI} &= \left[8.1 \times 10^{-7} \times (1024 + 504 + 16) + 1.3 \times 10^{-6} \times (126 + 772)\right] \\
&\quad \times \frac{(1\text{チャンネルあたりのエネルギー})}{3.65 \ \mathrm{eV}} \\
&= 3.9 \quad [\mathrm{electron}] \qquad (3.20)
\end{aligned}
$$

となり、約 1600 個出来る電子のうち数個しか失われないことが分かる。

これから転送ノイズを求めておく。(2.6) 式より、$\sigma_{CTI} = \sqrt{2N_{CTI}}$ であるので、

$$
\begin{aligned}
\sigma_{CTI} &= \sqrt{2 \times 3.9} \\
&= 2.8 \quad [\mathrm{electron}] \qquad (3.21)
\end{aligned}
$$

となった。

XIS の CTI は測定誤差以下だったが、値的には 10^{-6} 程度だと言われている。従って、HPK CCD は CTI に関しても XIS と同等の性能を持つと思って良いだろう。

3.5.7 Spurious charge の評価

spurious charge を評価するためには VOC 領域と HOC 領域の比較を行なう。この二つの領域の差には縦転送中の spurious charge による 0 ピークの変化が見られるはずである。

$$
\begin{aligned}
& (Spurious\ charge) \\
= \ & [(\mathrm{VOC}\text{領域}0\text{ピークの中心チャンネル}) - (\mathrm{HOC}\text{領域}0\text{ピークの中心チャンネル})] \\
& \times \frac{(1\text{チャンネルあたりのエネルギー})}{3.65 \ [\mathrm{eV}]} \qquad [\mathrm{electron}] \qquad (3.22)
\end{aligned}
$$

今回の測定で、 spurious charge によるノイズ $\sigma_{spurious}$ は

$$\sigma_{spurious} = 0.4 \quad \text{[electron]} \tag{3.23}$$

と見積もられた。

XIS については、 spurious charge の見積りは行なわれていない。しかし、当時の解析結果から XIS の spurious charge を類推することは可能である。当時の暗電流の見積りは VOC 領域と Active 領域ではなく、 HOC 領域と Active 領域を比較していたからである [3]。 XIS の -90°C での暗電流 0.43 electron/sec/pixel であった。今回の解析から暗電流と spurious charge を足し合わせると 0.42 electron/sec/pixel 以下となり、 XIS と同等の spurious charge に押えられていると思って差し支えない。

3.5.8 エネルギー分解能と各ノイズ源について

ノイズ源	絶対値 [electron]	ノイズ [electron]
読み出しノイズ	-	8.0
暗電流	< 0.055	< 0.2
CTI	3.9	2.8
spurious charge	0.4	0.6

表 3.4: 測定したノイズ源のまとめ

今まで求めた様々なノイズ源を、表 3.4にまとめた。これらのノイズから、理想的な CCD からどのくらいエネルギー分解能が悪化するかの見積りを行なう。まだ考慮に入れていないノイズを $\sigma_{unknown}$ として、 (2.1) と (3.6)、 (3.9)、 (3.20)、および (3.23) から、

$$\begin{aligned}
140 \text{ [eV]} &= 2.35 \times 3.65 \times \sqrt{\frac{0.12 \times 5900}{3.65} + \sigma_{r.o.n}^2 + \sigma_{dark}^2 + \sigma_{CTI}^2 + \sigma_{spurious}^2 + \sigma_{unknown}^2} \\
\rightarrow \sigma_{unknown} &= 0.5 \quad \text{[electron]} && (3.24) \\
&= 1.7 \quad \text{[eV]} && (3.25)
\end{aligned}$$

これより、我々は大部分のノイズ源をすでに押えており、エネルギー分解能を悪化させているもっとも大きな原因は読み出しノイズであることが分かる。しかし、読み出しノイズはチャンネル数に換算すると 1.3 ch にまで低くなっており、 ADC の限界に近付いている。それにも拘らず読み出しノイズが XIS に比べて大きい原因の一つは、先ほども述べた通り HPK CCD のゲインが低いことである。従って我々は、 XIS と同じだけのゲインを持たせるよう、増幅回路を導入することにした。

3.6 増幅回路の導入

XIS AE の前に挿入する増幅回路は、 XIS とほぼ同じゲインを達成するために 6 倍の倍率にすることに決定した。最終的な設計は図 3.20の様になっている。この増幅回路の設計方針を次に述べる。

3.6.1 増幅回路の設計

まず最初に、 CCD の外付 FET は open になっており 30kΩ でグラウンドに落とす必要がある。また、 CCD の出力には 12 V 程度のオフセットがついているため、これを AC カップリングで落とす必要がある。その結果、増幅回路に入る前に AC から見ると 30 kΩ、 DC から見ると 60 kΩ のフィルターを付けておく。 0.1 μF のコンデンサを用いた場合、カップリングの時定数は 3 msec となり、 CCD からの信号 (10 μsec) は素通りして DC 成分は完全に落とされることになる。次に AD830 というオペアンプを用いて AC 成分の増幅とオフセットを行なう。 AD830 内には二つのオペアンプが並んでいるようなものであり、 AC 成分とオフセットを一つの IC で行なうことが出来る。このオフセットは AE 側からの要請で、エネルギー分解能に影響するものではない。増幅率は XIS の出力と同じになるよう 6 倍に、また DC も入力と同じになるよう 12 V に設計した。

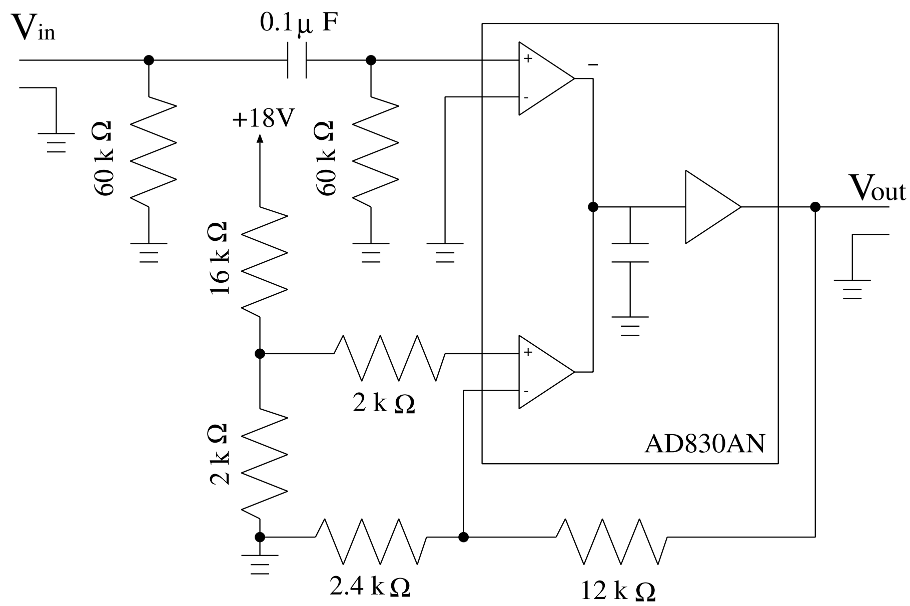

図 3.20: HPK CCD-XIS AE 接続用増幅回路
AC の倍率は 6 倍になり、 DC は 12 V の定電圧になる。

この回路を通した後の CCD からの信号波形は、図 3.21のようになった。 DC には +10 V のオフセットがつき、 AC は 6 倍になっているのが分かる。 AC は設計通りの値が出ているのに対し、 DC は抵抗の精度以上のずれが現れている。この原因を調べるために、図 3.20の AC カップリングの抵抗の値 (図 3.20でいうと 60 kΩ 二つの合計) を変えて DC レベルの変化を調べた。その結果が図 3.22である。抵抗が大きくなればなるほど DC レベルが下がるの分かる。この原因として、 AD830 の input current が考えられる。オペアンプの入力は理想的には無限大の抵抗であるが、実際にはある一定の抵抗値 (AD830 の場合は 370 kΩ) であり、入力電流が流れる。この電流が AC カップリングの抵抗を流れることで AD830 の + 入力が virtual GND ではなくなり、 GND との差が増幅されることでオフセットが小さくなっていると考えられる。実際、 AD830 の規格表 [23] によれば典型的な input current は 5 μA であり、抵抗が 60 kΩ の時の出力 V_{out}^{DC} は、

$$\begin{aligned} V_{out}^{DC} &= 6 \times (2.0 - 5\ [\mu\mathrm{A}] \times 60\ [\mathrm{k}\Omega]) \\ &= 10.2 \quad [\mathrm{V}] \end{aligned} \tag{3.26}$$

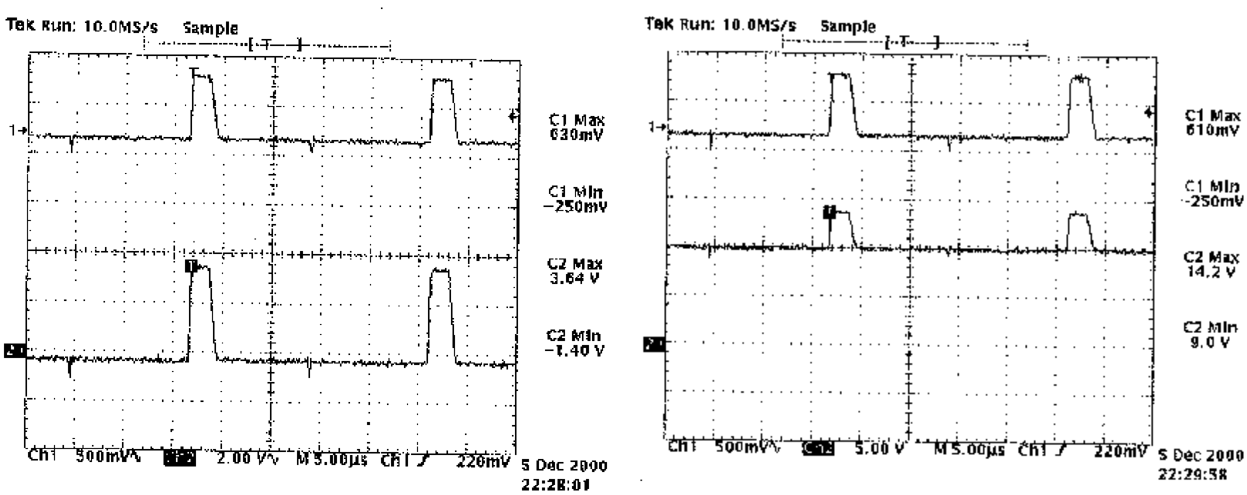

図 3.21: 増幅回路導入前後の CCD 信号波形
（左）： AC 出力。（右）： DC 出力。

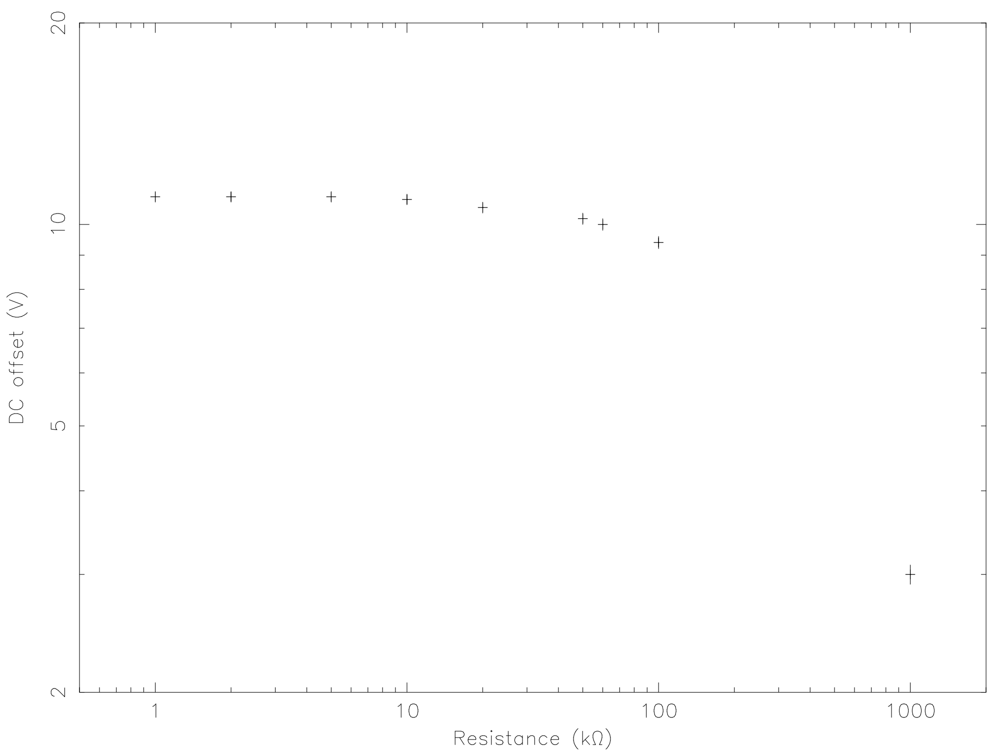

図 3.22: AC カップリングの抵抗の値と出力 DC レベルの関係

となる。 input current の揺らぎは十分小さく、 10 V のオフセットでも XIS AE は問題なく動くため、我々はこの状態で増幅回路を用いることを決めた。

3.6.2 増幅回路導入後の測定

製作した増幅回路を導入する位置は、真空層内の CCD 出力直後に決定した。途中のケーブルでノイズを拾う前に増幅を行なう必要があるためである。増幅回路導入後のスペクトルは図 3.23のようになった。なお、 split threshold は読み出しノイズの 2.5σ から 5.0σ までを 0.5σ 毎に試行し、最もエネルギー分解能の良かった 4σ で解析している。この場合も grade2、 3、 4 はやはりピークの中心チャンネルがずれているのが分かる。また、図 3.23を見れば分かる通り、 tail 成分も残っている。従って、この場合も図 3.24の右図のように、grade 0 のみをメインピーク、サブピークの二つのガウシアンで fitting することで解析した。

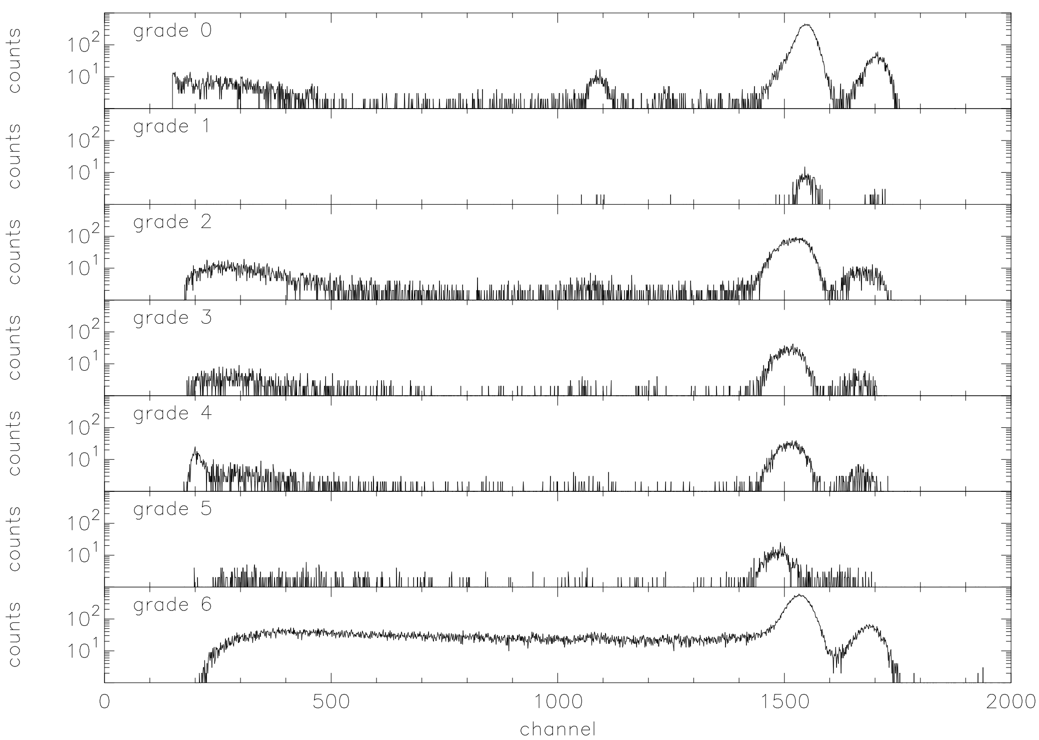

図 3.23: 増幅後の各グレード毎のスペクトル

また、増幅後のデータに関してもエネルギーとチャンネルの線形性を再度調べた。その結果が図 3.25である。

fitting により求まったエネルギー E [keV] とチャンネル ch_{amped} [ch] の関係は

$$ch_{amped} \quad = \quad 261.1^{+1.0}_{-1.0}\ E + 9.1^{+5.9}_{-5.8} \quad [\mathrm{ch}] \tag{3.27}$$

となった。この場合もエネルギーとチャンネルの関係は 0.5% の精度で線形性を保っており、増幅回路の線形性も確認できたことになる。また、 (3.4) と (3.27) から増幅回路のゲイン G

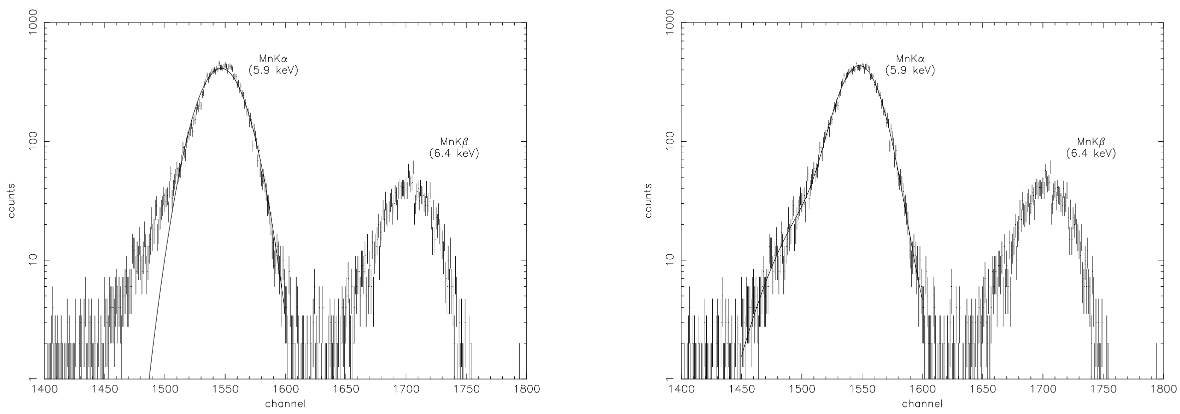

図 3.24: MnKα、 Kβ のスペクトル
実線は best fit model を表す。（左）：シングルガウシアンでフィットした場合。低エネルギー側に tail が残っているのが分かる。（右）：低エネルギー tail をもう一つのガウシアン（サブピーク）で補正した場合。

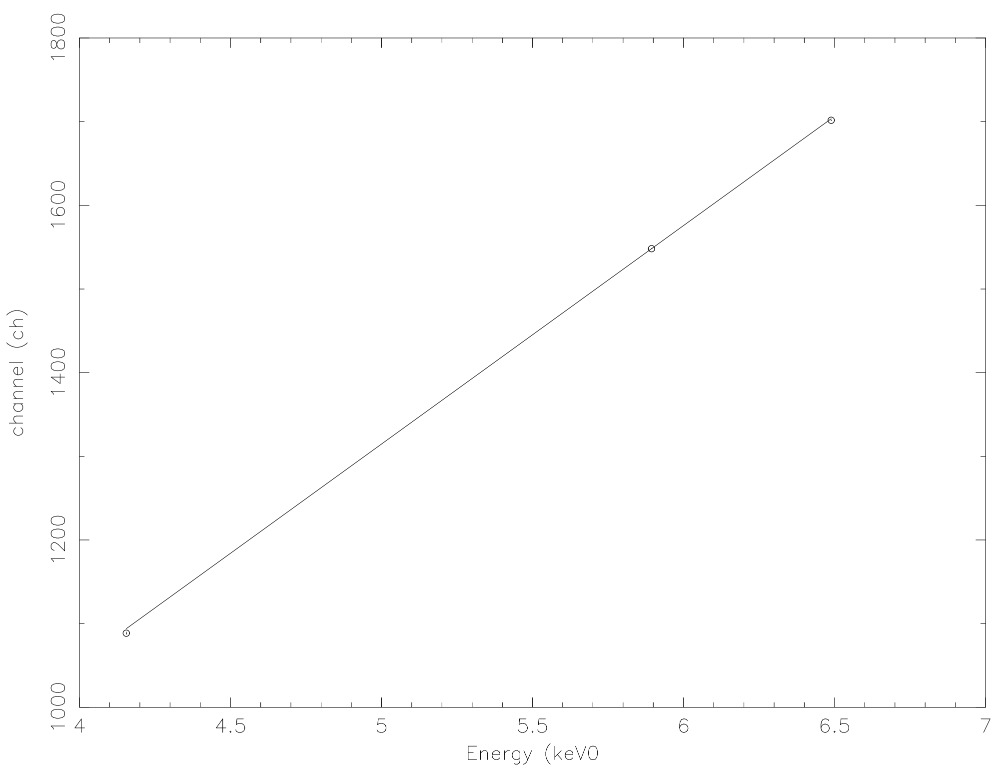

図 3.25: 増幅回路導入後のエネルギーとチャンネルの線形関係

は

$$G = 6.00^{+0.14}_{-0.13} \tag{3.28}$$

となっていることが分かる。これは設計通りの値である。

3.6.3 読み出しノイズの再評価

増幅回路を導入した時のエネルギー分解能と読み出しノイズは、

$$\Delta E\ (FWHM) = 135^{+3}_{-3}\ [\mathrm{eV}] \tag{3.29}$$

$$\sigma_{r.o.n.} = 6.4\ [\mathrm{electron}] \tag{3.30}$$

であった。ただし、電圧は先ほどの最適化電圧のままに固定してある。これは京都大学で出た値としては最も良いものであり、 HPK CCD が XIS に迫る能力を持つことを示している。

先ほどの増幅回路を入れない実験との比較から、増幅回路前後のノイズ評価を行なうことが出来る。増幅回路より上流のノイズを σ_{upper}、下流のノイズを σ_{lower} とする。増幅回路導入前の読み出しノイズはチャンネルにして 1.31[ch]、導入後は 6.13[ch] であったので、

$$1.31^2 = \sigma_{upper}^2 + \sigma_{lower}^2 \tag{3.31}$$

$$6.13^2 = (6\sigma_{upper})^2 + \sigma_{lower}2 \tag{3.32}$$

という関係式から、増幅回路導入後のそれぞれのノイズは

$$6\sigma_{upper} = 6 \times 1.01\ [\mathrm{ch}] = 6.06\ [\mathrm{ch}] = 6.3\ [\mathrm{electron}] \tag{3.33}$$

$$\sigma_{lower} = 0.70\ [\mathrm{ch}] = 0.73\ [\mathrm{electron}] \tag{3.34}$$

となる。このことから、今のところ大半のノイズは増幅回路より上流 (CCD 側) に起源を持っていると考えられる。下流のノイズは 0.7[ch] 程度であるが、この原因として予想されるのが図 3.7で見える 1ch 程度の斜め縞である。この縞は増幅回路導入前後で大きさが変わっていないため増幅回路より下流でのケーブル引きまわし時などに拾っているノイズを思われ、これが読み出しノイズを悪化させていると思われる。もし仮に下流のノイズを全て落とすことが出来たとすると、出し得る最高エネルギー分解能は

$$\begin{aligned} \triangle E &= \sqrt{8\log 2} \times w \times \sqrt{\frac{FE}{w} + \sigma_{upper}^2 + \sigma_{dark}^2 + \sigma_{CTI}^2 + \sigma_{spurious}^2} \\ &= 132\ [\mathrm{eV}] \end{aligned} \tag{3.35}$$

となり、 XIS により近い高性能を出せることになる。

しかし、それでもまだ読み出しノイズは XIS のものより有意に大きい。また、 CCD 内因性ノイズの予想値 (2.14) よりもやはり大きい。この原因として以下のようなものが考えられる。

- 増幅回路より上流でケーブルの拾うノイズ。 XIS の時はシールド線を使っていたところも今回の実験では使えず、そのためにノイズはより拾いやすい状態になっている。
- CCD と HPK buffer 基板で拾うノイズ。 XIS は camera で覆われてシールドされていたが、 HPK CCD とその buffer 基板はむき出しのまま使用している。従って、ここでもノイズを拾いやすい。
- 増幅回路そのもので拾うノイズ。増幅回路は手製のものであり、シールドもあまりされていない。従って、ここでノイズを拾っている可能性も大きい。

これらを落とすことが今後の課題と言えよう。

3.7 サブピーク成分についての考察

先ほども述べたように、 HPK CCD で得られたスペクトルには、低エネルギー側にサブピークが見られた。サブピーク成分が

1. CCD からの出力の時点で電荷が実際に少ない成分
2. grade 法による解析上の問題で出てきている疑似成分

のどちらであるかを調べるため、まず grade 法以外の解析として、 fitting 法による解析を行なった。その結果が図 3.26である。図 3.26では広がりの中心が 1500 チャンネルに来るよ

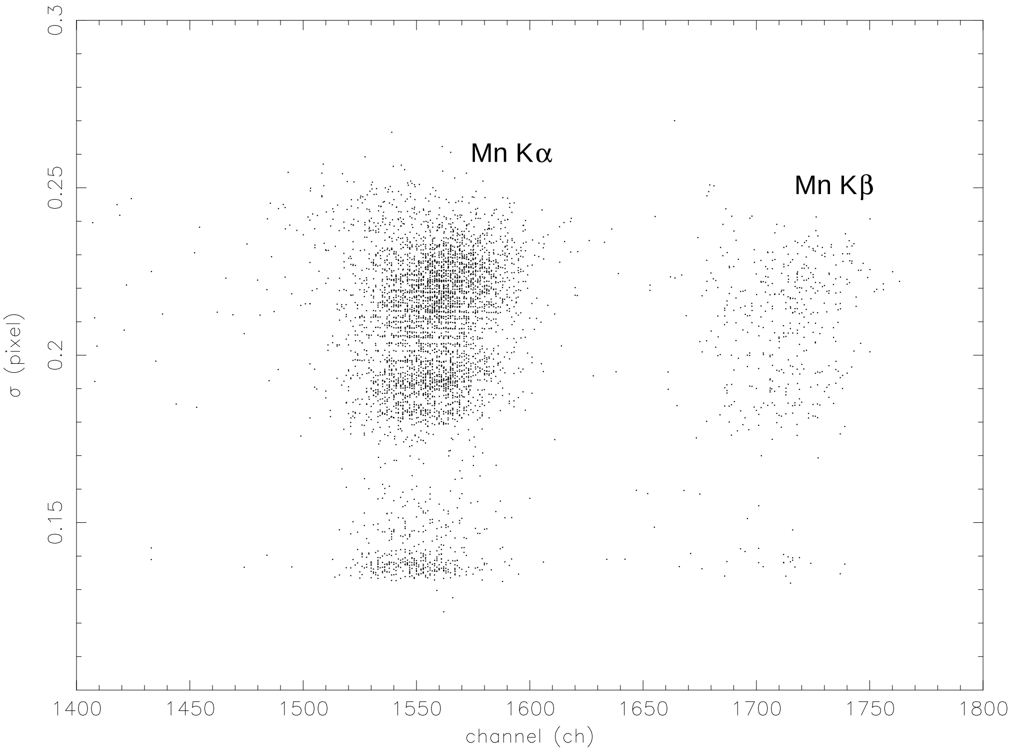

図 3.26: grade 0 と判定されたイベントに対する fitting 法による Mn Kα、 Kβ のスペクトル

横軸は channel、縦軸はイベントの広がりを表す。

うな低エネルギー成分は見られない。従って、サブピーク成分は grade 法の解析により、本来は低エネルギーではない成分が低エネルギーに見えているという解釈ができる。

同じ grade 法で解析していた XIS でも、サブピーク成分は見えていた。 XIS の場合、サブピークは「split threshold を越えない洩れ出しがあるイベント」であるという説明がなされている [3]。 HPK CCD の場合も同じ説明が出来るか、考察する。

図 3.27は、増幅回路導入後に取得したデータに対して様々な split threshold に対するメインピークとサブピークの中心チャンネルとカウント数、およびメインピークでのエネルギー分解能の関係を表している。ただし、 event threshold は一定としてある。まずメインピークに関してであるが、メインピークの中心チャンネルは split threshold に関係なくほぼ一定である。それに対してカウント数は split threshold $\sim 4\sigma_{r.o.n}$ 程度まで増加し続ける。

これは、 split threshold が小さいと本来は grade 0 メインピークのイベントでも周りのノイズ揺らぎを拾ってしまい、 grade 1、 2、 3、 4 などとして認識されてしまうためであると考えられる。その結果、エネルギー分解能も悪化する。実際、図 3.27では、メインピークのカウント数は split threshold = $4\sigma_{r.o.n}$ まで増え続け、エネルギー分解能も改善していく。

サブピークのカウント数も split threshold が増加すると共に増えている。これは、 grade 0 以外だったイベントが split event が split threshold を越えていないために grade 0 と認識されてしまい、その結果パルスハイトの低いイベントが増えたように見えているからであると考えられる。このことからもう一つ予想されるのは、サブピークの中心チャンネルのずれである。 split threshold が大きくなればなるほど split event として認識されず捨てられる電荷も多くなるため、サブピークの中心チャンネルは段々小さくなっていくはずである。図 3.27では split threshold が大きくなるにしたがってサブピークの中心チャンネルは小さくなっていっており、このこともサブピークの起源が split threshold によるものであることを裏付けている。

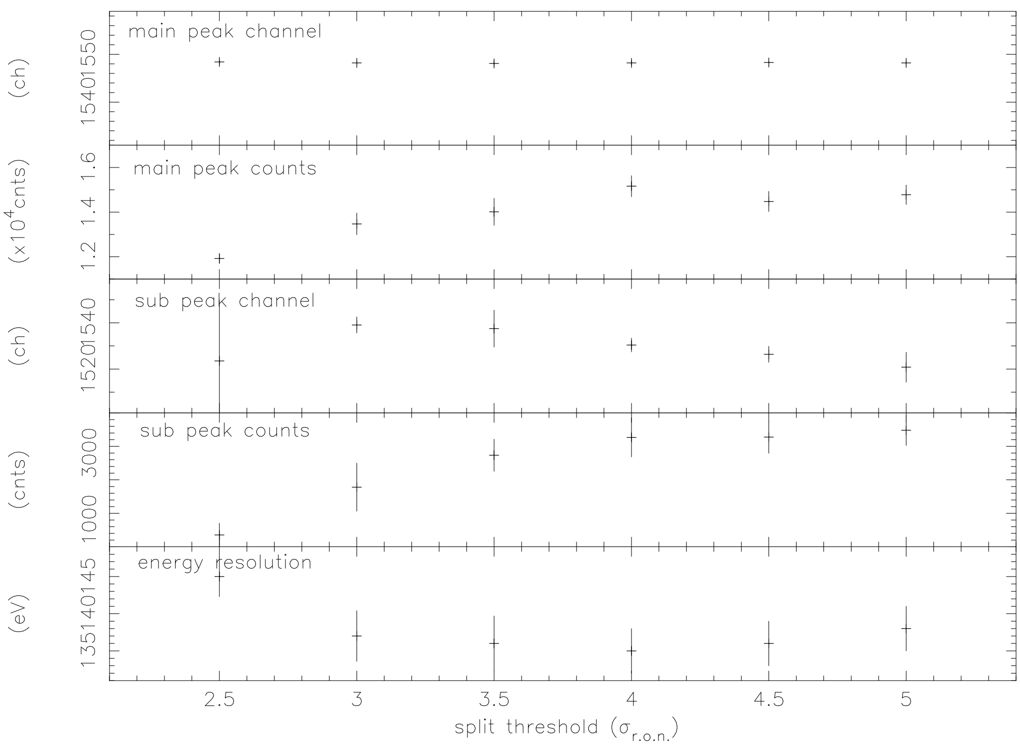

図 3.27: split threshold と main peak、 sub peak、およびエネルギー分解能の関係

XIS の時はメインピークとサブピークの中心チャンネルのずれが split threshold の約 1/2 であった [3]。この原因は、 split threshold を越えない split event が最大でも一つであったと考えると説明がつく。しかし、 HPK CCD の場合はずれはそれよりもかなり大きい。この原因として考えられるのが HPK CCD の空乏層の薄さである。空乏層が薄いと、 grade 2 や 3 といったイベントだけでなく、 grade 6 やそれ以上広がったイベントが出来やすく、 split threshold を越えなかった split event pixel が一つだけではなく複数ある確率が高くな

る。実際、3.5.1節より、HPK CCD は grade 6 にまで広がったイベントが大変多い。その結果、サブピークとメインピークの中心チャンネルの差が大きくなるのだろう。サブピークの中心チャンネル PH_{sub} は、

$$
\begin{aligned}
PH_{sub} &= 1565^{+18}_{-18} - 8.6^{+4.6}_{-4.5}\sigma_{r.o.n.} \ \ \text{[ch]} &(3.36)\\
&= 1565^{+18}_{-18} - 1.4^{+0.75}_{-0.74}(split\ threshold\ channel) \ \ \text{[ch]} &(3.37)
\end{aligned}
$$

となった。もし split threshold を 0 にした場合、サブピークの中心はメインピークの中心と一致する。このことは、サブピークが split threshold を設定したために出てくる現象であることの根拠になる。また、サブピークのずれは平均 1.4 個の split threshold を越えない split event が発生していると考えれば説明できる値である。これは XIS の場合よりもずいぶん大きな値である。

grade 0 イベントで split threshold を越えない split event が平均 1.4 個発生しているということは、grade 0 イベントは実際は平均 $1 + 1.4 = 2.4$ ピクセル広がっていることを意味する。ここでもう一度 grade 分岐比を思いだそう。表 3.3より、grade 0 のイベントは 1 ピクセルに、grade 2、3、4 のイベントは 2 ピクセルに、そして grade 6 のイベントは 4 ピクセルに跨っているとする。すると、平均のイベントの広がり p_{mean} は

$$
p_{mean} = \frac{23477 \times 1 + (10637 + 3539 + 3959) \times 2 + 68962 \times 4}{23477 + 10637 + 3539 + 3959 + 68962} = 3.0 \ \ \text{[pixel]} \tag{3.38}
$$

となり、2.4 という先ほどの値と近いものになる。実際には grade 0 イベントはピクセルの中心付近で吸収されているため、前平均より少し小さな値になるのだろう。このことも、サブピークの split threshold 起源を支持している。

3.8 今後の課題

今まで見てきたように、HPK CCD は暗電流、CTI、spurious charge については XIS と同程度の性能を持っていることが分かった。残された課題は読み出しノイズの評価である。読み出しノイズのより正確な測定をするためには 3.6.3節で挙げた問題点に対して次のような対策が必要である。

- XIS は静電保護も兼ねた camera に収まっていたため特に冷却系や house keeping 系からのノイズを押えることが出来ていた。現在 HPK CCD は特に静電保護などは考慮に入れていない状態であるので HPK CCD 用 camera を製作する。

- 現在のってしまっている 1ch 程度のノイズの原因究明と除去をする。特にアース周りについて再度チェックを行ない、XIS とできるだけ同じ条件になるようにする。また現在は増幅回路導入部などに LEMO ケーブルを使用しているが、これは一般的にノイズがのりやすいといわれており、改善する必要がある。

- 使用した増幅回路の改良を行なう。例えば現在は DC レベルを電源からの抵抗分割で決めているが、これをツェナーダイオードにするなど改良点はいろいろあるだろう。また回路そのものも現在は手製のものを使っており、ノイズ対策をあまり行なっていない。この部分を箱に入れる、多層基盤にする、また現在よりさらに CCD 側に近付けるなどで実際に載る実効的ノイズを低減させることができるはずである。

- 今回使用したCCD(CREST Deep 1)は空乏層の厚いCCDの研究開発の第一弾として製作されたものである。このCCDでもっとも問題となっていたのが、3.5.2節で述べたようにゲインが小さい点である。CREST Deep 1のゲインが内部コンデンサの関係などでXISの1/6しかないことは既に述べた。これは将来、XISを越えるCCDを作るためには越えなければならない壁であり、浜松ホトニクス社と議論しなければならない点である。

第 4 章

京大製低雑音高速 CCD 読み出しシステムの試作

4.1 開発の目的

第 3章でも述べたように、 XIS 読み出し回路は現在我々が持っている最高性能の低雑音読み出し回路である。しかし、今後は低雑音だけではなく、小さいピクセルの CCD を読み出すための高速読み出しも大きな課題となる。小さいピクセルの CCD を用いる理由として、次のような点がある。

- CCD の検出器としてのメリットの一つに、偏光測定が可能であることがあげられる。辻本修論 [7] によると、ピクセルサイズ 8μm の CCD を用いれば 30 keV 以上の X 線の偏光を測定することが出来る。

- Chandra の登場まで、衛星搭載 CCD の位置分解能を決定しているのは CCD のピクセルサイズではなくミラーの結像能力であった。しかし、 Chandra に搭載されている CCD のピクセルサイズはミラーの結像能力と同等であり、今後のミラー開発に対応するためにはさらに小さなピクセルサイズの CCD が必要である。

また、今後は大有効面積の衛星が増えることが予想されるため、パイルアップを防ぐためにも高速読み出しは必要となる。しかし、 XIS AE は特に高速読み出しを考慮に入れた場合、次のように改良すべき点が多くあることが分かっている。

1. XIS AE ではクロック作成にアナログスイッチングを用いていた。しかし、アナログスイッチングは高速では動かないため、クロック作成部の設計は根本的に変更する必要がある。

2. spurious charge を押えるための工夫として、 XIS では CCD のキャパシタンスそのものを利用して縦転送のクロック波形をなまらせている。その結果、クロックのなまりの時定数は CCD によって決まってしまい、調節することが出来ない。また、クロックのなまりの時定数以上の高速読み出しが出来なくなる弊害もある。さらに、キャパシタンスによるなまりは立ち上がりが急になるため、立ち上がりの部分ではやはり spurious charge が出やすい。またラッシュカレントとそれに伴うノイズも考えられる。そこで、立ち上がりが急ではなく、直線的でゆっくりとしたクロックを作成する必要がある、

3. XIS 読み出し回路の積分回路へのスイッチングは差動増幅回路を用いているが、これは高速読み出しには不向きである。

4. XIS AE は XIS 向けに特化していたため、様々なゲインの CCD がある HPK CCD の性能評価用には不向きである。

高速読み出しの手段として XIS のように読み出し口を増やす（XIS の場合は 4 箇所：図 2.16参照）という解決方法があるが、これにも限度があるため、今後は高速読み出しに重点をおいた AE 開発が不可欠になる。

そこで我々は、読み出し速度が早く XIS 読み出し回路と同程度のエネルギー分解能を持つ京大製読み出し回路をクリアパルス株式会社と共同開発することにした。我々の最終目標は、 1024×1024 ピクセルを 1 秒で読み出す、つまり 1 MHz 読み出しである。ただし、今回の実験は第一次の試験であるため、目標は 100 kHz 読み出しとしている。また、 CCD も貴重であり取り扱いの難しい先ほどの CCD-CREST ではなく、枚数も多く取り扱いが比較的簡単な 1/2 inch CCD を使用している。

4.2 京大製 CCD 読み出し回路設計の概要

京大製 CCD 読み出し回路の概要を図 4.1に示す。基本的な設計は XIS AE と同じで、 CCD のすぐそばに FET を置き、離れたところでクロックを作成、積分を行なって ADC を解して WS で処理するという形式になっている。基本クロックは市販のデジタルジェネレーター (SONY Tektronix TLA700) で作成し、それにアナログ電圧をかけることにした。クロックは 4 値までとれるものを 10 クロック作成し、真空中の buffer 基板から CCD に到達する。buffer 基板からの出力は真空槽外でフィルターアンプに通される。読み出し方式には、すでに XIS で実績のある積分方式（2.4.3節参照）を採用した。フィルターからの出力はインピーダンス変換器を通して ADC に入り、 WS によって fits 形式へと処理される。実際の基板は図 4.2のように表面実装で製作された。

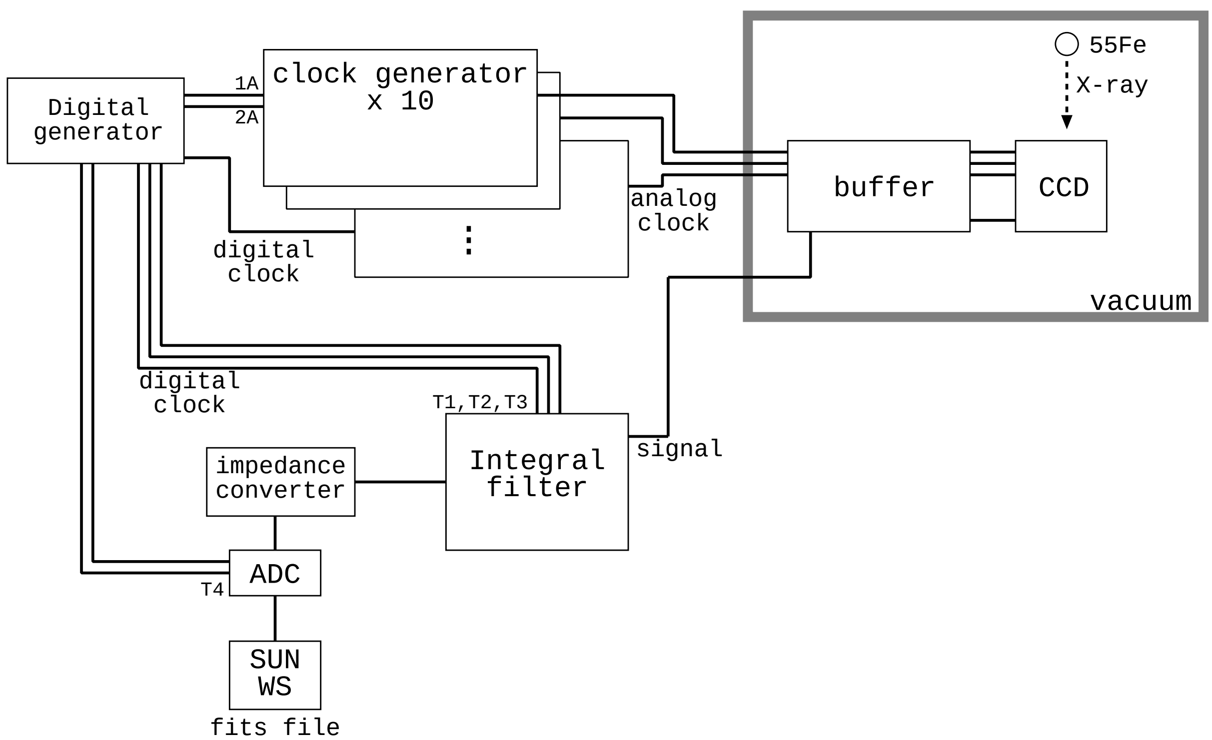

図 4.1: 京大製 CCD 読み出し回路概要

各部分について、以下に説明する。

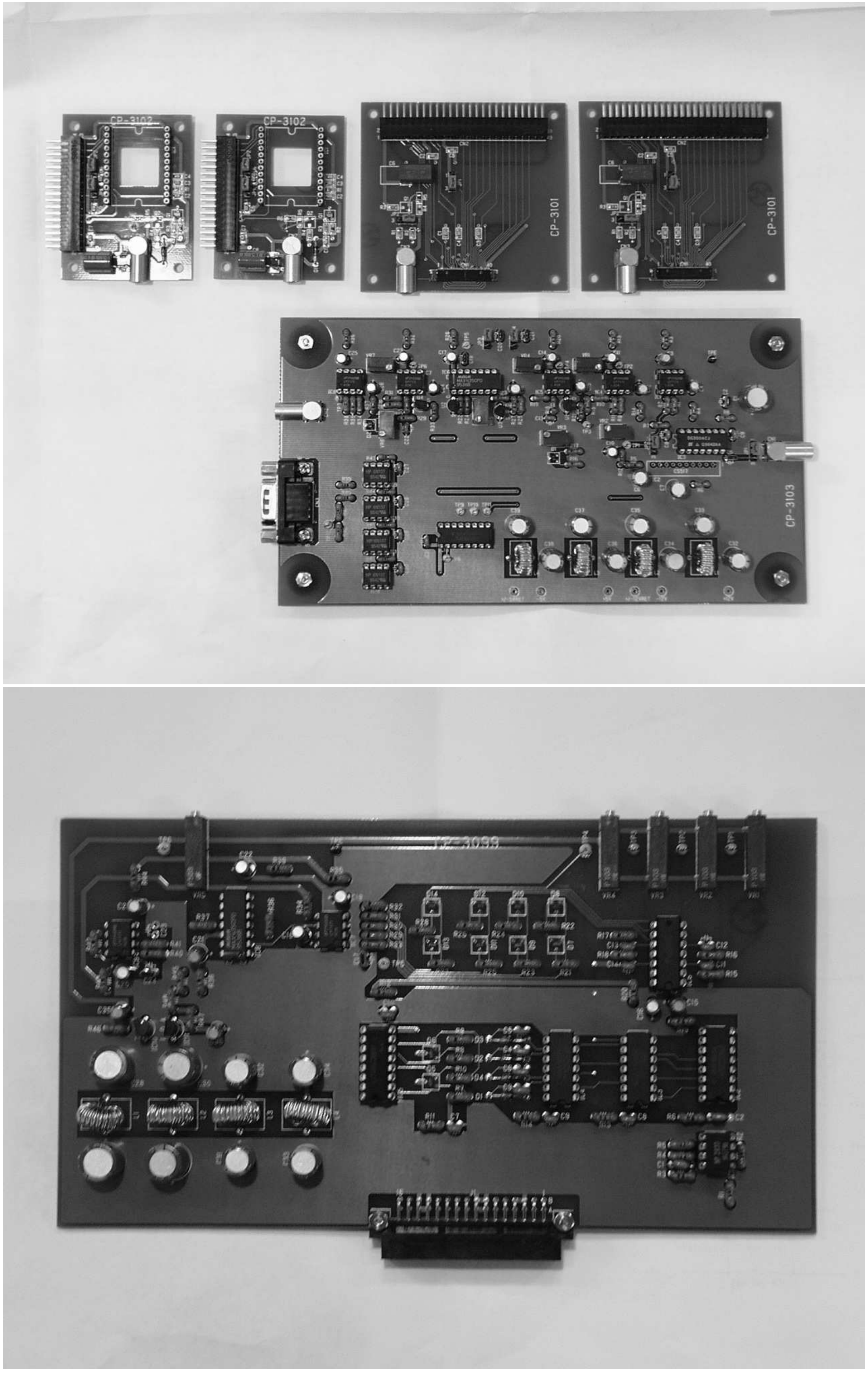

図 4.2: 実際の京大製 CCD 読み出し回路
上段：前置バッファ部。左 2 枚が 1/2 inch 用、右 2 枚が CCD-CREST 用である。中段：フィルタアンプ部。前置バッファ部の入力は左から入力され、右から ADC へと出力される。下段：クロック作成部。一枚の基板で 1 クロックを作成する。右上の可変抵抗でクロックの high level と low level、クロックをなまらせる時定数を調節する。

4.2.1 クロック作成部

クロックパターンの作成は将来の衛星搭載時には設計の必要があるが、今回はデジタルジェネレータから与えることにする。我々が製作するのはクロックパターンに電圧を載せ、特定のクロックに対してはなまらせる部分である。図 4.1では clock generator にあたる。

クロックは、大きく分けて次の 3 つに分類される。各クロックの名称は 2.3節や表 3.1を参照されたい。

1. reset clock
   RG に用いるクロックである。 RG の容量は 5 pF であり、 1 ピクセル読み出しの周波数の 10 倍以上の速さで駆動できる必要がある。

2. horizontal clock
   横転送に用いるクロック。 P1H、 P2H、 SG の 3 クロックが必要である。 P1H、 P2H の容量は 90 pF、 SG は 5 pF である。クロックの周波数程度の速さで駆動できる必要がある。

3. vertical clock
   縦転送に用いるクロック。 P1V、 P2V、 TG の 3 クロックが必要である。 P1V、 P2V の容量は 18 nF、 TG は 90 pF である。クロックの周波数の 1/500 程度の速さで駆動できる必要がある。

今回はこれらのクロックを全て同一種類の回路で駆動させることにし、上に述べた合計 7 クロック分のクロック作成回路と OG、 RG、 OD の 3DC 回路、合計 10 回路を用意した。

図 4.3はクロック作成部の回路図である。この回路で出来るのは 1 クロックであり、これを複数並べることで CCD を駆動させる。クロックジェネレータからのクロックは 00、 01、 10、 11 の 4 つの値をとる。従って入力は 2bit+ それぞれの GND の 4line になる (図 4.3では、 1A、 1B、 2A、 2B がそれぞれ信号と GND にあたる)。これらはまず、フォトカプラに入る。これは、電気的にクロックジェネレータ系と CCD 系を切ることでノイズの混入を防ぐ目的である。用いたフォトカプラ HCPL-2630 は 2channel を同時に処理でき、 100ns という速い立ち上がりを持つ [24]。

次に信号は 74138(3 to 8 Demultiplexer) に入力される。 74138 の入力 (A、 B、 C) と出力の関係は図 4.1のようになる。我々が用いるのは A、 B だけであり、常に C は L(GND) に落とされている。この結果、 2 進数で入力されてきた情報はその値によって Y0 – Y3 にそれぞれ振り分けられることになる。 Y0 – Y3 はそれぞれ Bus Buffer である 74125 でバッファリングされ、 +T1 – +T4 という出力になる。 74125 には、次の −T1 – −T4 とのタイミングを合わせるための delay の役目も果たしている。一方、 Y0 – Y3 は並列に 74366 という Bus Inverter にも入力される。 74366 は反転回路であり、反転した信号は、 +T1 – +T4 とは逆位相の −T1 – −T4 となる。[1]

次に、これらの TTL 信号を 2 進数に再構成し、アナログ電圧をかける。実際の電圧は VR1 – VR4 で調節する。 $1\mathrm{k}\Omega \times 1\mu F = 1\mathrm{msec}$ のローパスフィルターを通った後 LM6144 (高速 OP アンプが 4 個入ったもの [26]) でバッファリングされる。次のダイオード群はスイッチの役割を果たしている。例えば $+T1 = High$ ($\leftrightarrow -T1 = Low$) の時はダイオードに電流が流れ、 VR1 で調節した電圧が出てくる。逆に $+T1 = Low$ ($\leftrightarrow -T1 = High$) の時はダイオードには電流は流れず、出力は GND に近付く。 T2 – T4 に関しても同様である。このように T1 – T4 それぞれで調節した電圧を足し合わせることで、 2 進数のクロックにアナログ電圧をかけることが出来る。高速 OP アンプ LM7171[27] で buffering された電圧

[1] ここの T1 – T4 は後に出てくる TTL 信号の T1 – T4 とは全く別のものである。

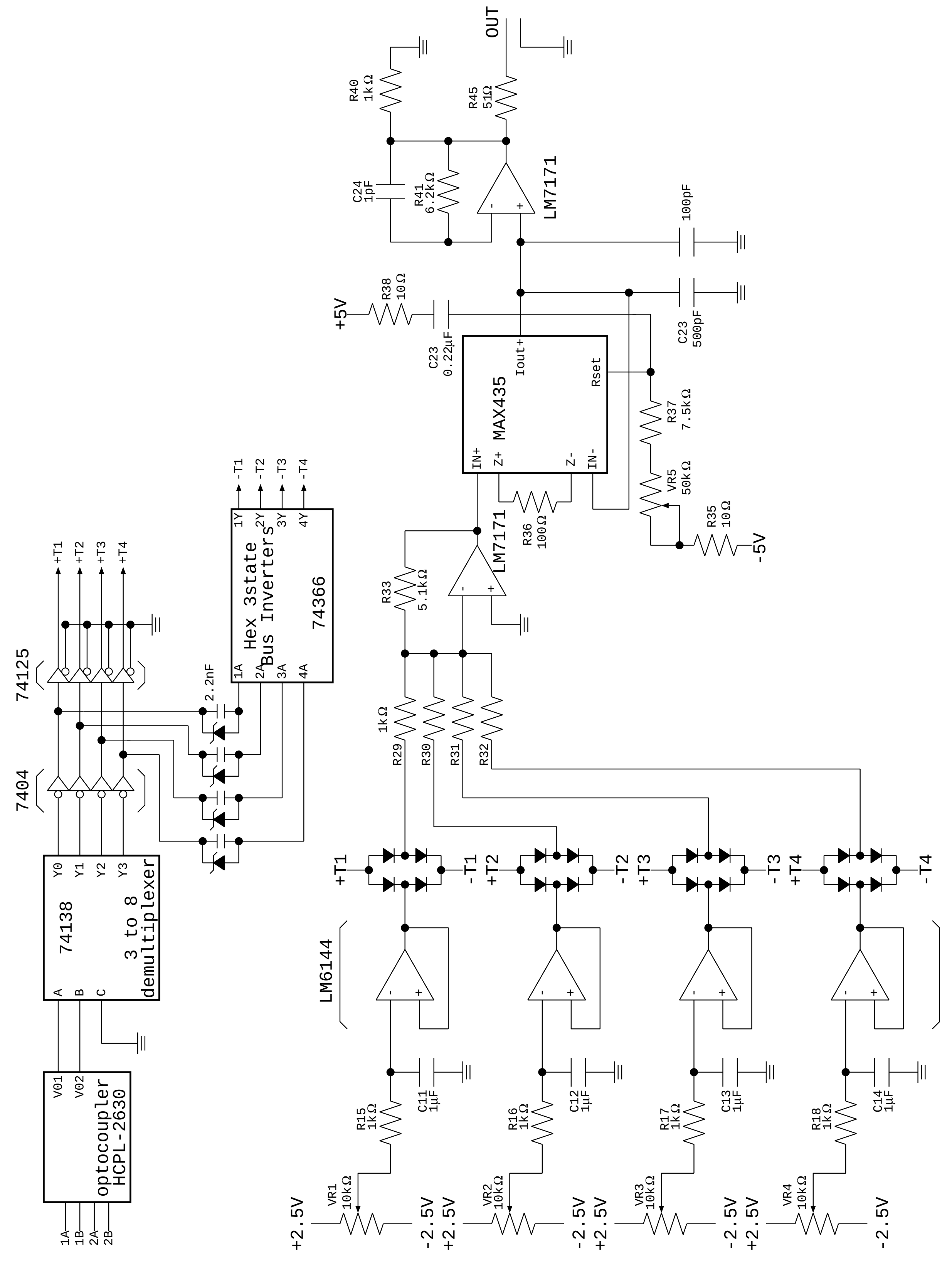

図 4.3: クロック作成部回路図
ただし、 OP アンプの電源などは省略してある。

INPUT			OUTPUT							
A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
L	L	L	L	H	H	H	H	H	H	H
H	L	L	H	L	H	H	H	H	H	H
L	H	L	H	H	L	H	H	H	H	H
H	H	L	H	H	H	L	H	H	H	H
L	L	H	H	H	H	H	L	H	H	H
H	L	H	H	H	H	H	H	L	H	H
L	H	H	H	H	H	H	H	H	L	H
H	H	H	H	H	H	H	H	H	H	L

表 4.1: 74138 Truth table
H は High を、 L は Low を表す。

は、 MAX435 に入る。これは Wideband Transconductance Amplifier(WTA) と呼ばれるもので、二つの入力 IN+ および IN- の電圧差 V_{in} を電流に変換する [25]。 MAX435 は基本的に XIS AE で用いられていた 3080 と同じものであるが、 3080 に比べて速い駆動が可能である。その変換式は、図 4.4左図の記号を用いて

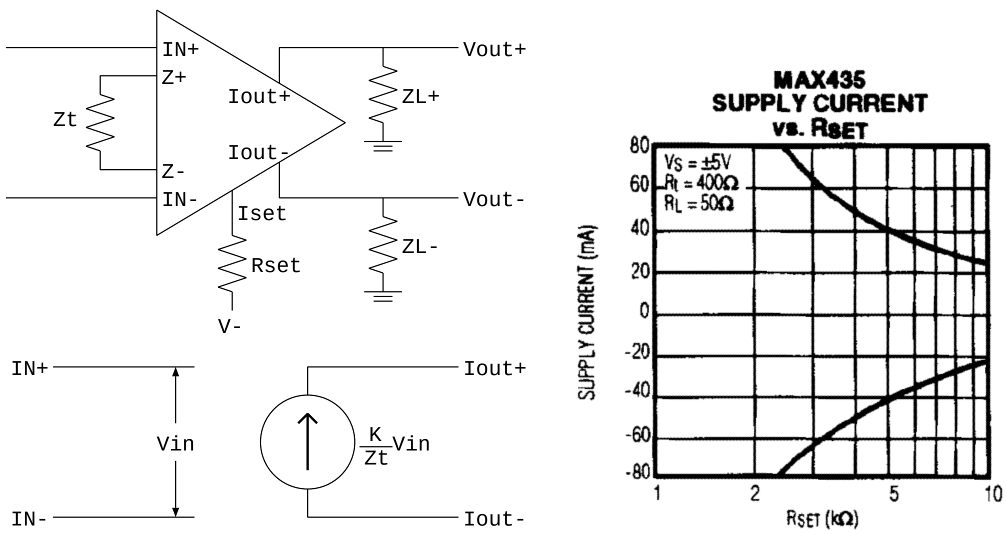

図 4.4: MAX435 等価回路
左： MAX435 とその等価回路。左： R_{set} と supply current の関係。

$$V_{out} = \frac{KZ_L}{Z_t}V_{in} \tag{4.1}$$

ただし、K = WTA Current Gain Ratio $\equiv 4$

図 4.3では

$$Z_t = 100\Omega \tag{4.2}$$

$$Z_L = \left|\frac{1}{i\omega(500p+100p)}\right| = \frac{1.67\times10^9}{\omega} \tag{4.3}$$

であるので、

$$\begin{aligned} V_{out} &= 4\times\frac{1.67\times10^9}{\omega}\times\frac{1}{100}V_{in} \\ &= \frac{6.67\times10^7}{\omega}V_{in} \end{aligned} \tag{4.4}$$

となる。ここで、クロックが入力された時の過渡現象を考える。 MAX435 に入力されるクロックの立ち上がりを

$$V_{in}(t) = \begin{cases} 0 & (t<0) \\ V_{in}^0 & (t\geq 0) \end{cases} \tag{4.5}$$

とする。 (4.5) のラプラス変換 $L_1(\omega)$ は、

$$\begin{aligned} L_1(\omega) &= \int_0^\infty V_{in}^0 e^{-\omega t}dt \\ &= -\frac{V_{in}^0}{\omega}\left[e^{-\omega t}\right] = \frac{V_{in}^0}{\omega} \end{aligned} \tag{4.6}$$

(4.6) が MAX435 を通過する際、 (4.4) のように $\frac{A}{w}$ という変換をうけ、 $L_2(\omega)$ になるとする。

$$\begin{aligned} L_2(\omega) &= \frac{A}{w}\times\frac{V_{in}^0}{\omega} \\ &= \frac{AV_{in}^0}{\omega^2} \end{aligned} \tag{4.7}$$

$L_2(\omega)$ をラプラス逆変換により $V_{out}(t)$ に変換し直す [13]。

$$V_{out}(t) = AV_{in}^0 t \tag{4.8}$$

(4.8) は、矩形波を入れても波形が直線的になまることを意味する。 R_{set} は、実際に流れる電流の量を調節する役割を果たす。 R_{set} と I_{supply} の関係は、図 4.4右図のようになっている。電流の量を調節することで C23 での電圧変化量が変化し、クロックがなまる時定数を調節することが出来る。この部分は、 spurious charge をクロックをなまらせることで軽減する [19] ために導入された。 XIS AE では CCD の容量そのものを用いてクロックをなまらせているため時定数を調節できず、また単なるローパスフィルターであるためにクロックの立ち上がりはやはり鋭くなってしまっていた。 MAX435 を用いた我々の方法は時定数も調節でき、立ち上がりは直線的になるので、 XIS AE の問題点を二つともクリアできている。

最後に LM7171 を用いたバッファアンプを通して、 51Ω の出力インピーダンスでクロックが出力され、 CCD へと伝わる。

4.2.2 前置フォロワ部

図 4.5は CCD 出力からの出力を真空内で受ける前置フォロワ部の回路図である。 1/2 inch CCD からの出力には外付 JFET が付けられていないため、外部回路によって external load と FET をつけておく必要がある。従ってこの部分については、 1/2 inch CCD 用と CCD-CREST 用と 2 種類作成した。今回の設計では external load は 47kΩ という浜松ホトニク

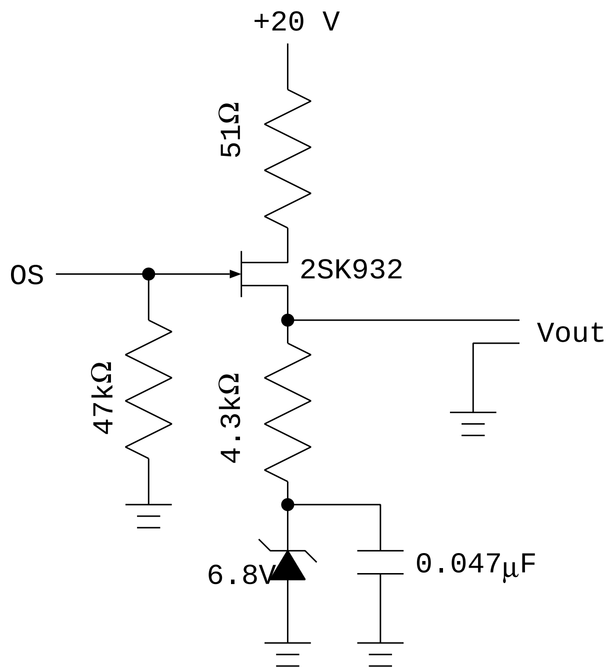

図 4.5: 前置フォロワ部回路図

ス推奨の高エネルギー読み出し用 external load 値を採用した。外付の JFET に採用したのは、高速低雑音の 2SK932[11] である。 JFET のソース側にツェナーダイオードが付けられているのは、 2SK932 の耐圧規格が +15V であるため、 JFET の破損を避けるためである。JFET の出力は 4.3kΩ によって再び電圧に変換され、レモケーブルを通して真空外に出て、フィルタアンプへと入力される。

4.2.3 フィルタアンプ部

図 4.6は、真空外での読み出し用フィルタ回路である。

フィルタアンプで行なうことは、

1. 信号の増幅
2. reset pulse の除去
3. 信号の積分処理
4. ADC への入力

である。これらを行なうためには、 CCD を動かすクロック以外にも reset pulse 除去タイミングなどを決定する TTL 信号が必要である。これらはデジタルジェネレータで全て作成することにした。クロックのタイミングは図 4.7のようになっている。

次に、実際の回路について説明する。フィルタアンプ部に入ってきた信号はまず A 部ののハイパスフィルターによって AC 化される。その時定数 τ_1 は

$$\tau_1 = C_1 \times R_1 = 0.2 \quad [\mathrm{sec}] \tag{4.9}$$

CCD からの信号は 100 kHz 程度であるので、これは十分遅い値であり、信号には全く影響を与えない。

次の B 部は反転増幅になっている。これが一段目の増幅となり、その倍率 G_B は

$$G_B = \frac{R_2}{R_1} = 10 \tag{4.10}$$

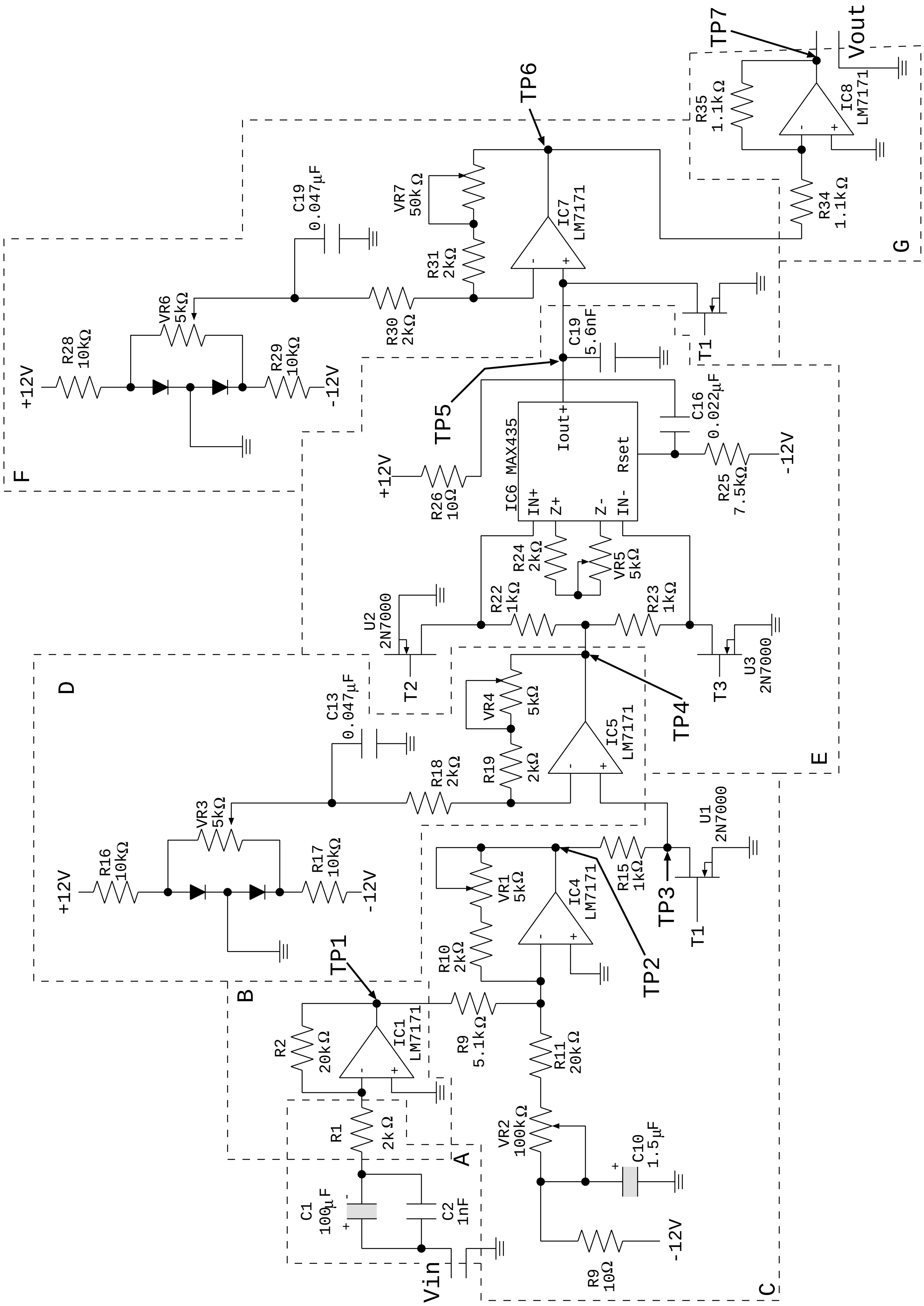

図 4.6: フィルタアンプ部回路図
ただし OP アンプの電源系などは省いてある。

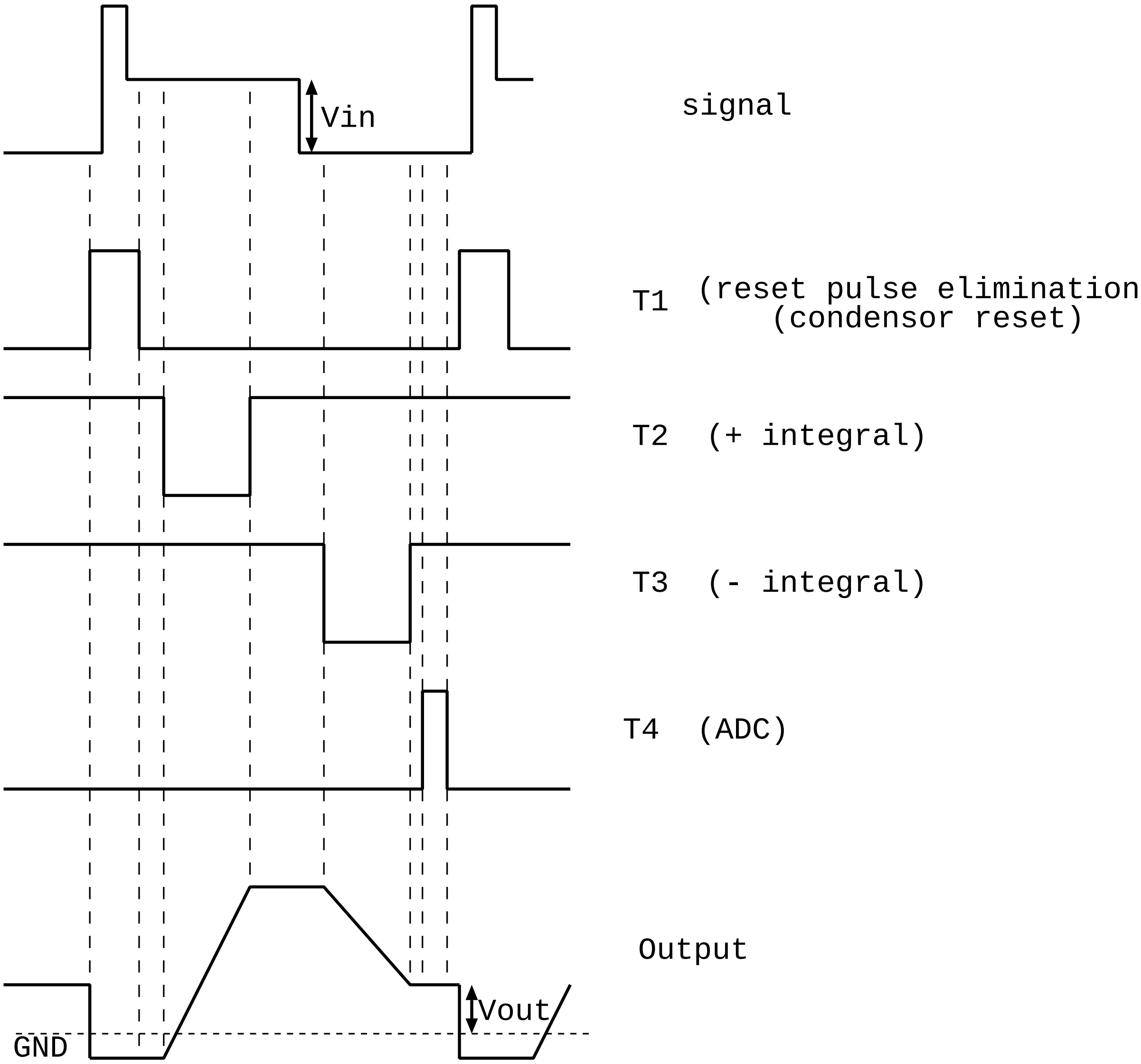

図 4.7: TTL 信号パターン概念図

となっている。なお、 R_2 はソケットになっており、ここで大幅なゲインの変更も可能である。図 4.9および 4.10は、実際の CCD からの信号をフィルタアンプの各部分で調べたものである。各々の TP の位置は、図 4.6に記載されている。 B 部の出力は図 4.9の TP1 であり、反転している様子が見てとれる。

次に C 部で reset pulse の除去を行なう。 reset pulse は高周波であるため不安定でありこの部分からのノイズが入ってくる可能性があることと、この後で増幅などをする時に、大きな reset pulse の出力がクリップすることで信号成分にも悪影響を及ぼすことを避けるためである。 CCD からの信号は B 部で反転してしまっているため、 IC4 で再び反転させる。反転している様子が図 4.9 2 段目 (TP2) で分かる。このようにわざわざ反転を繰り返したのには理由がある。設計の段階ではフィルタアンプ部でどのくらいノイズが乗るかが分からなかったため、初段増幅として LM7171 を用いた増幅と CS517 を用いた増幅と 2 回路分用意していた。 CS517 は反転増幅しか出来ないため、このような二度手間を行なっている。 R9 – R11 の部分で出力にのる DC 成分を調節することが出来、 U1 が動けるように offset を付けられる。 T1 には CCD の reset pulse と同期した信号が入ってくる。すると、 reset の時だけ信号は U1 を通して GND に流れ、 reset pulse の除去が出来る。図 4.9の 3 段目 (TP3) を見ると、 reset pulse の部分が消えているのが分かる。

D 部では DC 成分の調節を行なうことが出来るようになっている。 VR3 では $-0.6 - +0.6$ V の電圧が調節でき、 IC5 を通して出力にのる。これは、次の E 部での積分のために、 T2、T3 が High になるよう、 DC 成分を載せる必要があるからである。実際、図 4.9の TP4 では、波形全体が GND よりマイナスにならないよう調節されているのが分かる。

E 部は実際の積分を行なう部分である。ここで用いられている MAX435 はクロック作成部で用いたのと同じ電圧差を電流差に変換する役割を果たす。積分の符号は T2、 T3 に入ってくる TTL 信号によって決定される。普段はどちらの FET も close になっているため、信号は全て GND に流れて行ってしまい、 MAX435 には何も入力されない。しかし、 T2 が Low になれば信号は R22 側に、 T3 が Low になれば信号は R23 側に流れ、それぞれ MAX435 の正または負の入力に入る。もう一方は GND になっているため、図 4.4でいうところの V_{in} は出力そのまま、または逆転した出力、になる。 I_{out} には V_{in} に比例した電流が流れ、 C19 に蓄積される。 R24+VR5 は Z_t となっているので、 (4.1) を考えると、この部分でゲインの調節が出来るのが分かる。図 4.9の TP5 をみると、 T2 が Low の時（図 4.7参照）に積分が始まることで徐々に電圧が上がり、逆に T3 が Low の時マイナス側に積分することで徐々に電圧が下がっているのが分かる。 T3 が再び High になった時の電圧は、フローティングレベルとシグナルレベルの差を表している。

F 部では、積分コンデンサの reset を行なう。 reset pulse に同期した TTL 信号によって C19 にたまった電荷は GND へと捨てられる。それと同時に D 部と同じ構造によって DC の調節を行なうことができる。これは、 ADC への入力のゼロレベルを調節できることを表す。 TP6 を見ても分かるように、出力は毎回 reset され、同じところから積分が始まっているのが分かる。

最後の G 部は $G_G = 1$ バッファの役割を果たし、 ADC へと出力される。 ADC は ±1V が 4096ch に変換されるため、 $\frac{2}{4096}V \simeq 1mV$ の精度まで対応することが出来る。 ADC への入力は 50 Ω になっているため、図 4.8のようなインピーダンス変換器をかませることで対応している。

ADC でデータをサンプリングするタイミングは、やはりデジタルジェネレーターの TTL 信号で制御している（図 4.7参照）。実際には T4 は短い時間に 4 回サンプリングを行ない、その平均をとることで精度をあげている。データは最終的に SUN WS 上に落とされ、 fits 形式に書き換えられる。

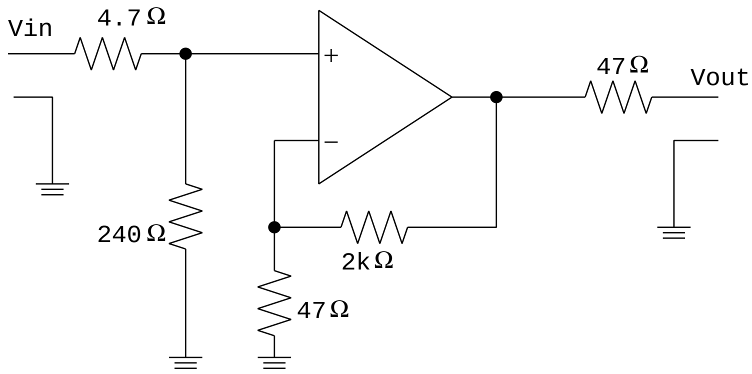

図 4.8: インピーダンス変換器

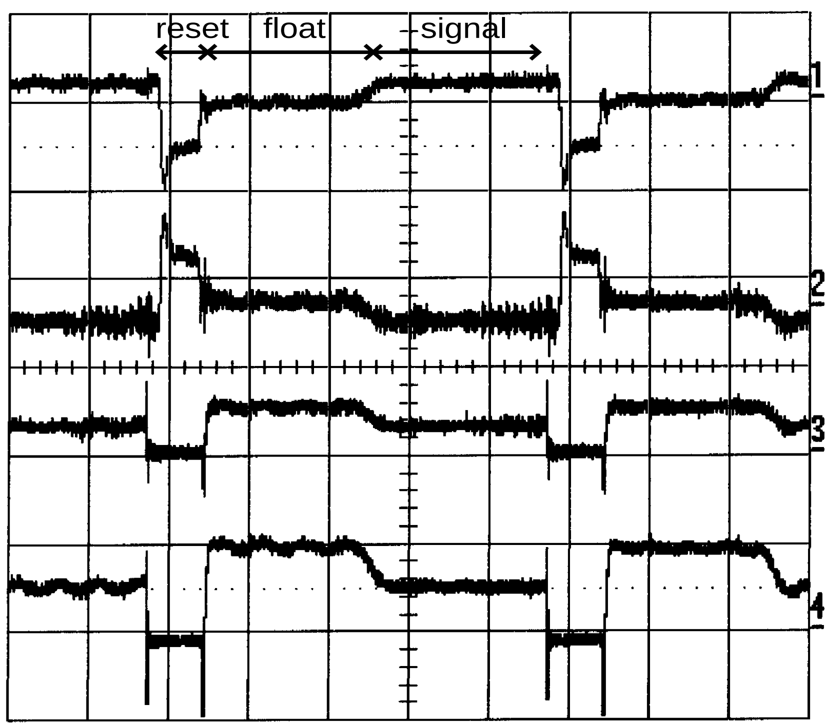

図 4.9: フィルターアンプ部の各テストポイント毎の波形（その１）
上から順に TP1、 TP2、 TP3、 TP4。テストポイントの位置については回路図参照。横軸の 1div. は 2μsec、縦軸は TP4 以外は 1V、 TP4 は 2V。

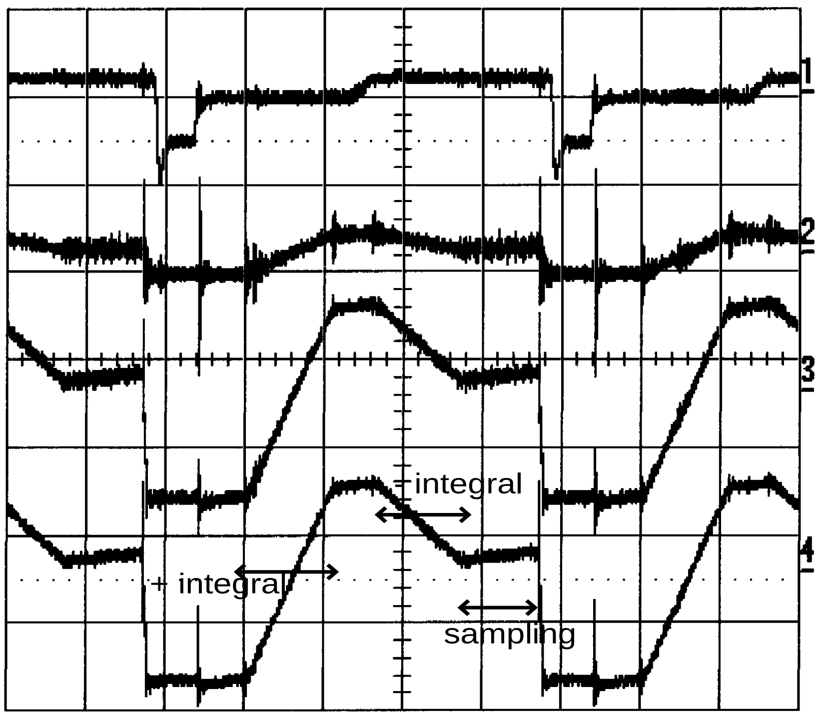

図 4.10: フィルターアンプ部の各テストポイント毎の波形（その２）
上から順に TP1、 TP5、 TP6、 TP7。テストポイントの位置については回路図参照。横軸の 1div. は 2μsec、縦軸は上から順に 1V、 0.5V、 1V、 2V。

4.3 クロック作成部試験

まず我々は、クロック作成部において、仕様通りの周波数帯で正しく電圧、なまりが作られているかどうかを調べた。

クロックはそれぞれ -15V から $+15$V まで出力できるようになっている。また、クロック周波数を段々高くしていったところ、図 4.11左図のように 400kHz でクロックがなまりはじめることが分かった。なまりの時定数は $0.1\ \mu\mathrm{sec} = 1$ MHz である。デジタルジェネレータのクロックは 2 nsec $=$ 500 MHz まで保証しているため、これは回路側の問題である。各 IC の slew rate は、LM6144 が 25 V/μsec[26]、MAX435 が 850 V/μsec[25]、LM7171 が 4100 V/μsec[27] と大変高く問題はないため、スイッチングに伴う charge injection が効いてきているものと思われる。実際には reset pulse はある一定以上の電圧があれば正常に動作するため（図 2.8参照）、0.1μsec のなまりが気にならない 1MHz 程度までの駆動は可能であろう。いずれにせよ、当初の目的である 100kHz での読み出しは達したと言える。また、図 4.11右図のようにクロックのなまりは 1μsec までなまらせることが出来た。(4.8) を見ても分かる通りなまりは直線的であり、ローパスフィルターを通したものより spurious charge を押えられることが期待できる。

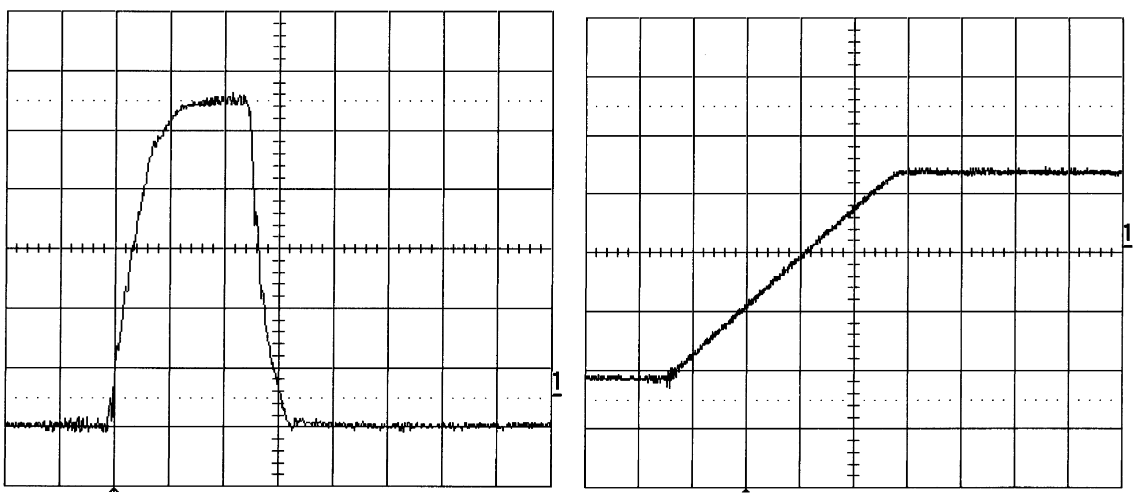

図 4.11: MAX435 でなまらせたクロック波形
左：MAX435 でのなまりを最小にした時のクロック。ただし、横軸は 1div. が 0.1μsec、縦軸は 1div. が 200mV。右：MAX435 でのなまりを最大にした時のクロック。ただし、横軸は 1div. が 0.2μsec、縦軸は 1div. が 500mV。

4.4 フィルターアンプ部試験

次に我々は、フィルターアンプの試験を行なった。クロック作成部の性能も合わせて調べるため、次の二つの試験を行なっている。

4.4.1 フィルタアンプ部のみの試験

まず最初に入力を GND に落とし、各 IC に電圧だけをかける形で測定を行なった。このことで、ADC を含めたフィルタアンプ系だけからのノイズを見積もることが出来る。ただ

し、ADC は 8 秒に 1 セットサンプリングを行なうよう設定してある。測定結果は図 4.12のようになった。

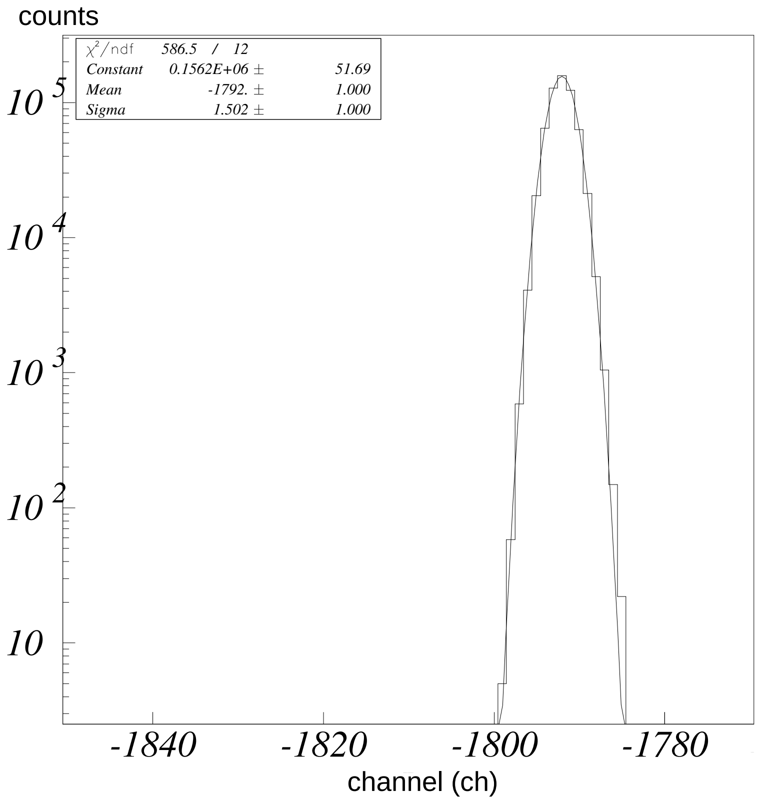

図 4.12: 入力を GND に落とした時のスペクトル
ただし、-1792ch のオフセットがかかっている。

0 レベルの広がり σ_{close} は

$$\sigma_{close} = 1.5 \quad [\mathrm{ch}] \tag{4.11}$$

となった。これがフィルタアンプそのものから出ているノイズであると考えることが出来る。

4.4.2 クロック作成部とフィルタアンプ部を組み合わせた試験

我々のクロックドライバーは 4 値までの値を出せるため、これを用いて CCD の出力のシミュレーターを作ることが出来る。実際にはクロック電圧の安定性から、CCD の出力と同じ小さな電圧 (フローティングレベルとシグナルレベルの差が 10 mV 程度) を調節することがむずかしいため、図 4.13のようなアテニュエーターを導入してクロック電圧を小さくして CCD からの信号を再現している。そのために我々は図 4.13のようなアテニュエーターを製作し、クロックドライバーと合わせて CCD 出力シミュレータとした。アテニュエーターの増幅率 G_{ate} は、

$$\begin{aligned} G_{ate} &= \frac{1}{2} \times \frac{160}{10\mathrm{k}} \times \frac{1.6\mathrm{k}}{160} \\ &= 0.08 \end{aligned} \tag{4.12}$$

である。

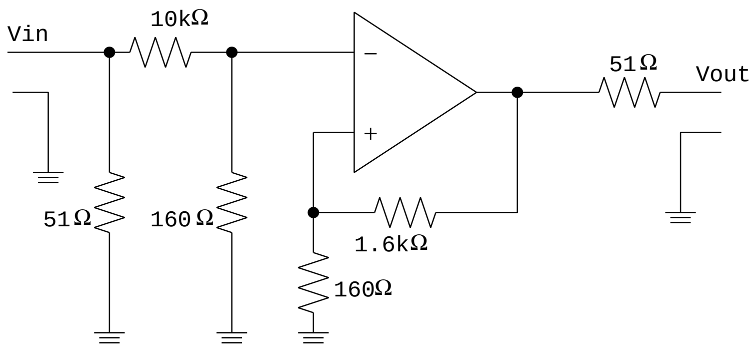

図 4.13: CCD 出力シミュレータ用アテニュエーター

シミュレータからの波形は、デジタルジェネレータで reset pulse、フローティングレベル、およびシグナルレベルを作り、クロック作成部で電圧を調節して実際の CCD の出力を再現している。製作したシミュレータの出力波形は、図 4.14上段のようになった。実際の CCD からの出力波形を良く再現出来ているのが分かる。

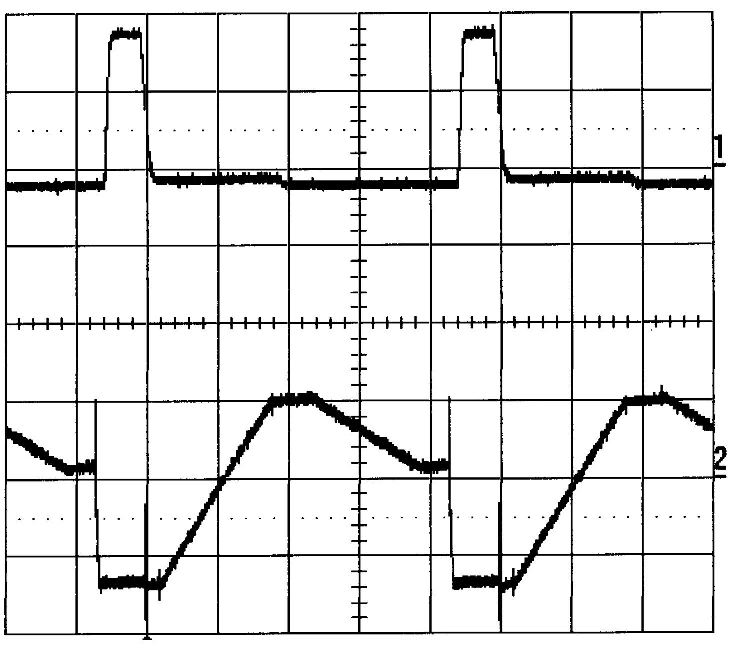

図 4.14: シミュレータによる出力波形
上段：シミュレータからの出力波形。下段：フィルターアンプを通した後の波形。横軸は 1div. が 2 μsec、縦軸は 1div. がそれぞれ 100 mV（上段）、1 V（下段）である。

シミュレータからの出力をフィルタアンプに入力した時のフィルタアンプ出力は、図 4.14下段のようになった。＋方向、ー方向の積分をした結果が、ADC の範囲内 ($\pm$1 V) に入っているのが分かる。ADC に入力されたこの信号のスペクトルをとると、図 4.15のようになった。

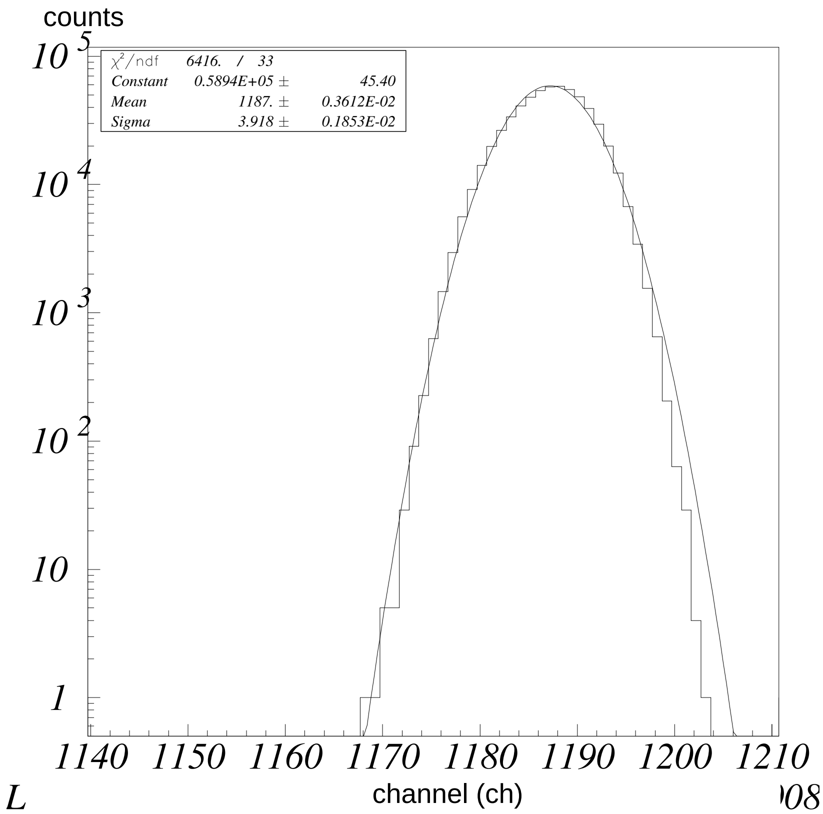

図 4.15: フィルター回路にシミュレータからの出力を入れた時のスペクトル
ただし、1187 ch のオフセットがかかっている。

fitting の結果、スペクトルの広がりは、

$$\sigma_{sim} = 3.9 \quad [\mathrm{ch}] \tag{4.13}$$

となった。 σ_{close} と比べるとやや大きくなっているのは、クロック作成部からのノイズが加わったのだと考えられる。シミュレータからのノイズ σ_{clock}^{sim} は、

$$\begin{aligned} \sigma_{clock}^{sim} &= \sqrt{\sigma_{sim}^2 - \sigma_{close}^2} \\ &= 3.6 \quad [\mathrm{ch}] \end{aligned} \tag{4.14}$$

となった。

アテニュエーターを通す前のクロックにのっているノイズ σ_{clock} は、

$$\sigma_{clock} = \sqrt{\frac{{\sigma_{clock}^{sim}}^2}{0.08}} = 12.7 \quad [\mathrm{ch}] \tag{4.15}$$

となる。

このようなノイズを持つクロックが CCD に入った場合、出力に最も影響を与えると思われるのは SG である。 CCD 出力は SG にかかるクロックがすり抜けて出てきていると考えられることは既に述べた。例えば (後の CCD 試験でかける) +6/-3V というクロックが 10mV のシグナル – フローティングレベルの差として現れた場合、 SG からのノイズの寄与 σ_{SG} は

$$\sigma_{SG} = \sqrt{\sigma_{clock}^2 \times \frac{10 \times 10^{-3}}{9}} = 0.42 \quad [\mathrm{ch}] \tag{4.16}$$

となる。他のクロックからの影響はこれより小さいと考えられるため、 σ_{SG} は、等価的にクロックから出力へ流れ込むノイズだと考えることができる。

また、 simulator を用いてゲインの線形性と conversion factor の測定を行なった。 simulator の電圧は自由に調節することが出来るので、図 4.16の V_{in} をふることでフィルタアンプの線形性を調べることが出来る。

fitting の結果、 V_{in} [mV] と V_{out} [mV] の関係は、

$$V_{out} = 49.0^{+1.6}_{-1.5} V_{in} - 976^{+37}_{-38} \quad [\mathrm{mV}] \tag{4.17}$$

という線形関係が成り立つことが分かった。 ADC は -1 V – $+1$ V で -2048 ch – 2048 ch の値をとる。これから、 ADC でのチャンネル ch と V_{in} の関係は、

$$\begin{aligned} ch &= \frac{4096}{1000} V_{out} - 2048 \quad [\mathrm{ch}] \\ \leftrightarrow V_{out} &= (ch + 2048)\frac{1000}{4096} \\ \rightarrow (ch + 2048)\frac{1000}{4096} &= 49.0^{+1.6}_{-1.5} V_{in} - 976^{+37}_{-38} \\ \leftrightarrow ch &= 201^{+6.6}_{-6.1} V_{in} - 6046^{+152}_{-156} \quad [\mathrm{ch}] \end{aligned} \tag{4.18}$$

となった。

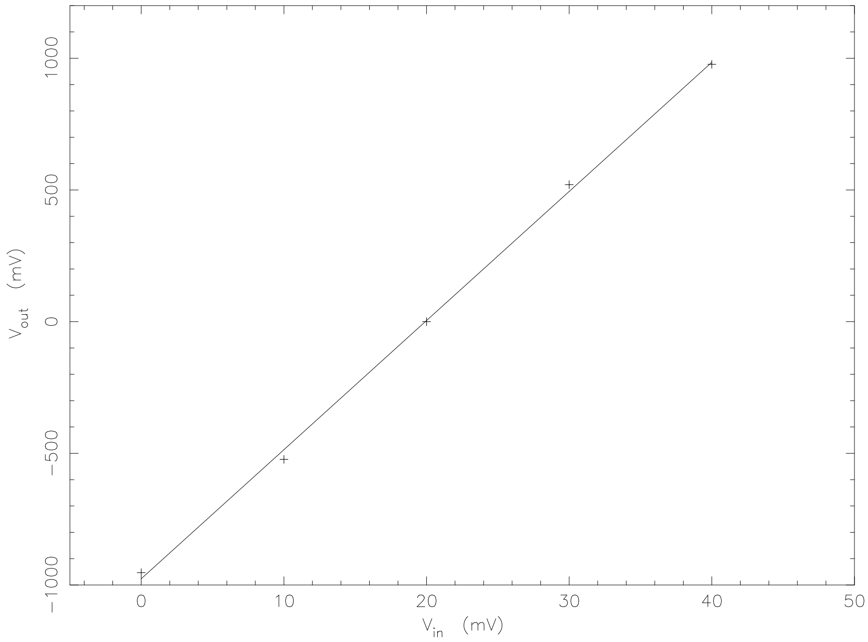

図 4.16: フィルタアンプ前後の出力信号の関係。
V_{in}、 V_{out} は図 4.7の通りである。

CCD		P2 11-5A1P-2 (1/2 inch CCD standard)
照射 X 線		^{55}Fe
		Mn Kα 5.894 keV
		Mn Kβ 6.498 keV
設定温度		-100°C
設定電圧 (V)	P1V, P2V, TG	$+5.0/-8.0$
	P1H, P2H, SG	$+6.0/-3.0$
	RG	$+8.0/+0.0$
	RD	$+12.0$
	OG	$+4.0$
	OD	$+20.0$
蓄積時間		2.1 sec
転送時間		5.9 sec
取得フレーム数		400 枚

表 4.2: 実験設定

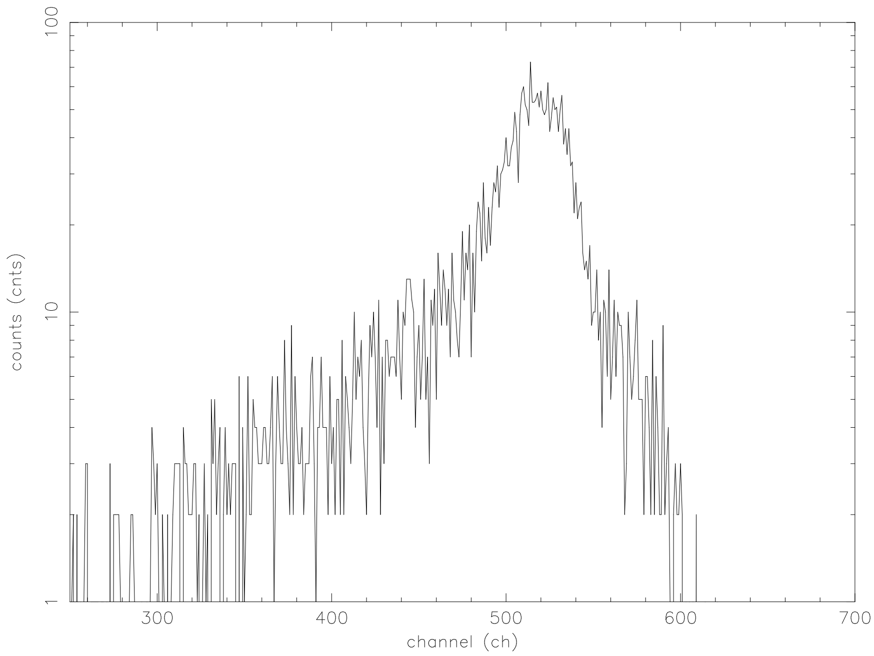

図 4.17: ^{55}Fe からのスペクトル

4.5 CCD を用いた試験

最後に我々は、実際の CCD を用いて試験を行なった。実験の各設定は、表 4.2の通りである。設定電圧は第 3章で決定した最適電圧を採用した。 ^{55}Fe からのスペクトルは図 4.17のようになった。ただし、イベント検出法には grade 法を採用し、 split threshold は第 3章で採用したのと同じ $4\sigma_{r.o.n}$ を用いている。また、図 4.17は grade 0 イベントのみのものである。 Mn Kα、 Kβ のラインが分離できておらず、一見してエネルギー分解能が悪いことが見てとれる。エネルギー分解能、読み出しノイズはそれぞれ

$$\triangle E = 419^{+24}_{-27} \ \ [\mathrm{eV}] \tag{4.19}$$

$$\sigma_{r.o.n.} = 14.8 \ \ [ch] = 46.1 \ \ [\mathrm{electron}] \tag{4.20}$$

となった。フィルタアンプを通す前の CCD および前置フォロワ部からのノイズ σ_{CCD} は、

$$\begin{aligned} \sigma_{CCD} &= \sqrt{\sigma_{r.o.n}^2 - \sigma_{close}^2} \\ &= 14.7 \ \ [\mathrm{ch}] \end{aligned} \tag{4.21}$$

となった。実際には、 σ_{CCD} はクロックにすでにのっているノイズと CCD・前置フォロワ部のノイズを足したものになっているが、クロックに乗っているノイズは σ_{SG} (0.4[ch]) とこれより十分小さいと考えられるため、 CCD や前置フォロワ部周辺でノイズを拾っていることが分かる。

14.7ch というのは、 (4.18) より、前置フォロワ部の出力時点で

$$\begin{aligned} 14.7 &= 201 V_{in}^{noise} \\ \leftrightarrow V_{in}^{noise} &= 0.07 \ \ [\mathrm{mV}] \end{aligned} \tag{4.22}$$

となり、 3σ で 0.2mV という大きなノイズがのっていることが分かった。そこで CCD やフォロワ部にかかる電圧を調べたところ、図 4.18のような 20μsec 程度のノイズが載っていることが分かった。大きさは先ほど求めたノイズの大きさと同程度であり、 20μsec ノイズが全ノイズのほとんどを占めていることが分かる。このノイズはクロックを止めて CCD に DC 電圧だけかけた状態でも減らない。また、デジタルジェネレータと ADC の電源を切り、フィルターアンプ部の DC 電源を落としても残った。従って、このノイズは電源系から CCD と FET を通してのっている疑いが濃厚である。

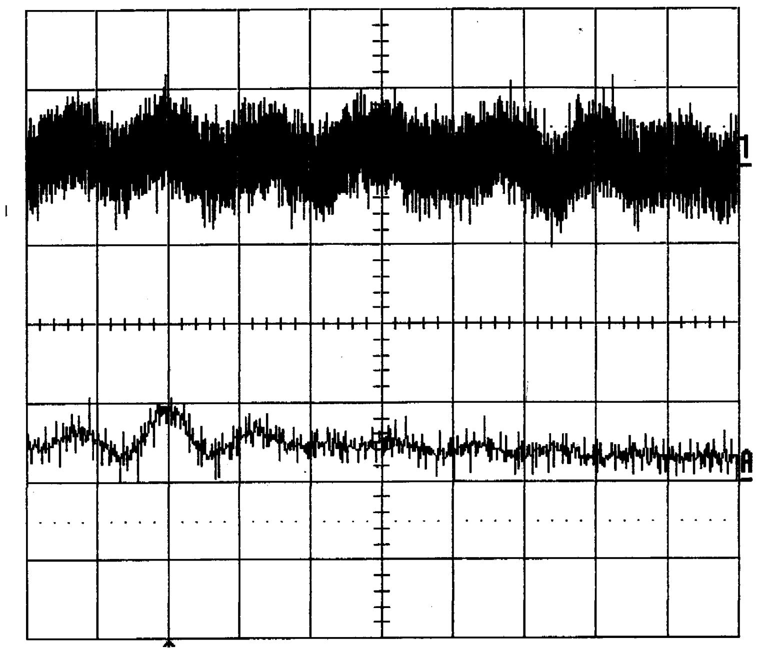

図 4.18: 前置フィルタ部出力に乗っている 20 μsec ノイズ
下段は上段を平均化したものである。ただし、横軸の 1div. は 20 μsec、縦軸は上段が 2 mV、下段が 1 mV である。

このようなノイズがドレインにかかった場合、ソースとドレインの間の電圧差 V_{DS} が小さければそのままノイズはソース側へすり抜けてしまう。今ソース電圧は 15 V であり、 V_{DS} は 5 V となって、 2SK932 の許容範囲内である [16]。しかし、ドレイン電圧に 10 mV のノイズがのったシミュレーションをしてみると、ドレイン電圧に乗ったノイズはそのまますり抜けてソース部分で 10 mV のノイズがのることが分かった。実際、ドレイン電源と出力を見比べたところ、同相のノイズが載ってしまっている。 20 μsec と言う値は現在のクロック動作速度とほぼ同じであり、フィルタアンプ側では落とせない。そこで我々は応急処置として図 4.19のようにドレイン電圧をローパスフィルターに通すことにした。シミュレーションでは、コンデンサの容量は大きければ大きいほど良く、 0.1 μF で 10 μV まで落ちることが分かっている。

また、 CCD に与える電圧系にもこのノイズがのっており悪影響を及ぼす可能性が高いため、 3 μF のパスコンを取り付けた。その結果、 20 μsec ノイズは、ほぼ半減できた。この改良基板を用いて我々は再び CCD を用いた試験を行なった。

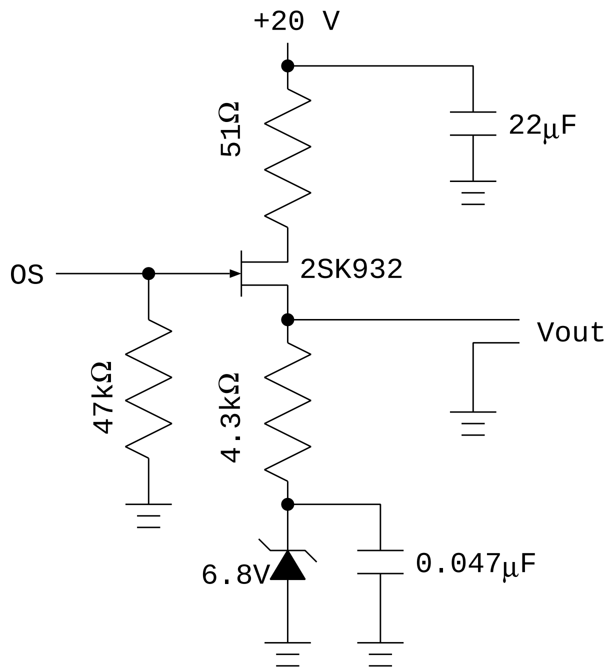

図 4.19: 改良後の前置フォロワ部回路図

4.5.1 前置フォロワ部改良後の試験

前置フォロワを改良した結果、スペクトルは図 4.20のようになった。ただし、各種設定は表 4.2と同じになっている。また、イベント解析法も前の実験と同様に行なっている。

図 4.20を見ると、図 4.17にくらべ、Mn Kα と Kβ も分離でき Si エスケープも見えており、エネルギー分解能も良くなっている様子が分かる。エネルギー分解能と読み出しノイズはそれぞれ

$$\triangle E = 292^{+15}_{-15} \quad [\mathrm{eV}] \tag{4.23}$$

$$\sigma_{r.o.n.} = 9.0 \quad [ch] = 24.2 \quad [\mathrm{electron}] \tag{4.24}$$

となった。これからもう一度 CCD および前置フォロワ部のノイズを見積もると、

$$\begin{aligned} \sigma_{CCD} &= \sqrt{\sigma^2_{r.o.n} - \sigma^2_{close}} \\ &= 8.9 \quad [\mathrm{ch}] \end{aligned} \tag{4.25}$$

(4.18) を用いてもう一度ノイズの大きさを求めておくと、

$$\begin{aligned} 8.9 &= 201V^{noise}_{in} \\ \leftrightarrow V^{noise}_{in} &= 0.04 \quad [\mathrm{mV}] \end{aligned} \tag{4.26}$$

となり、前置フォロワ回路改良前より大きく改善しているのが分かる。

現在残っているノイズを表 4.3にまとめておく。

4.5.2 20μsec ノイズの同定と除去後の試験

[2]

[2]本節以降は実験施設の都合上、常温での読み出しノイズ評価のみの評価となっている。

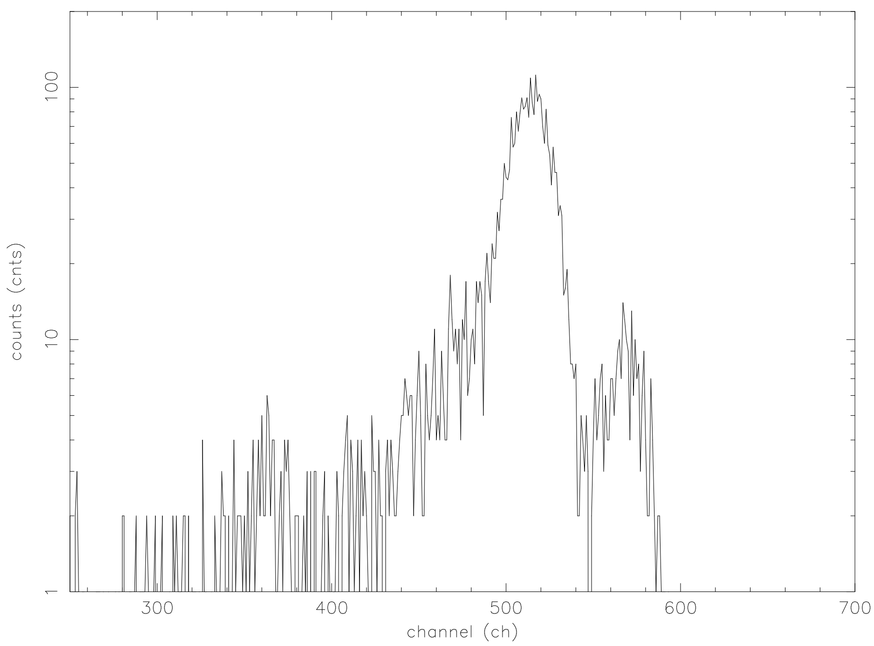

図 4.20: 改良した前置フォロワ部を用いて測定した ^{55}Fe からのスペクトル

	ノイズ [ch]	ノイズ [electron]
フィルタアンプ部	1.5	4.7
クロック作成部	12.7	39.8
（等価クロック作成部）	0.4	1.2
前置フォロワ部	8.9	28.2

表 4.3: 現在残っているノイズ

我々は 20μsec ノイズの発生源を調べるため、電源、クロック作成部および前置フォロワ部の各地点でのノイズを調べた。その結果クロック用のアナログ電源部で ± 2.5V を作成している部分で、 $+2.5$V の出力にはノイズがのっていないのに対して -2.5V の出力には 20μsec ノイズがのっていることが判明した。図 4.21はそれぞれ ± 2.5V を作成する部分であるが、使用している IC が違うため、 $-$ 側で使用されている IC(LM337L) が 20μsec ノイズの原因である可能性が高い。そこで LM337L 付近のノイズを調べたところ、このノイズは以下のような特徴を持つことが分かった。

- LM337L への入力電圧にはノイズはのっていない。
- LM337L 入力部ではノイズはのっているが、振幅は 1mV 程度で形もあまりきれいではない。
- LM337L 出力部でのノイズは 10mV 程度で、きれいな sin 状になっている。
- 各々のクロックボードで同じようなノイズが発生している。しかし、ボード間でのノイズの同期はない。

これらをまとめると、各ボードで LM337L が発振することで 20μsec ノイズが発生していると考えるのがもっとも自然である。

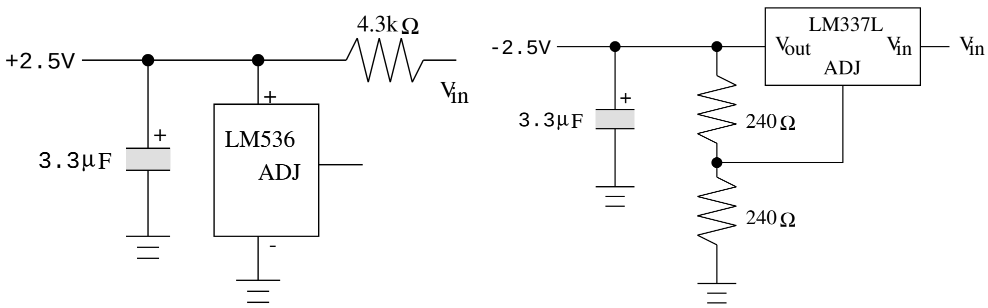

図 4.21: 左： $+2.5$V 作成部。右： -2.5V 作成部。

$+2.5$V の出力 (LM336) 側には 20μsec ノイズはのっていないため、これと同じように -2.5V 側も作ればよい。そこで我々はシステムに以下のような改造を行なった。

- LM337L を LM336Z-2.5 に変更した。
- それとは別に OTA が条件によっては 10–20MHz で発振する現象が見つかったため、OTA のフィードバックを 0Ω から 510Ω に変更した。また、 OTA をソケットで交換できるようにした。
- 電源部に使っているコンデンサの一部が電解コンデンサだったため、これを OS コンデンサに変更した。
- 外箱のコネクタに接続されているデジタル信号線が互いに接触しないよう絶縁した。

改造の結果、 20μsec ノイズは除去することが出来た。 CCD を取り付けた空転送での読み出し実験の結果は図 4.22のようになり、読み出しノイズ $\sigma_{r.o.n.}^{\text{改造}}$ は

$$\sigma_{r.o.n.}^{\text{改造}} = 4.25 \quad [\mathrm{ch}] \tag{4.27}$$
$$= 11.4 \quad \mathrm{e} \tag{4.28}$$

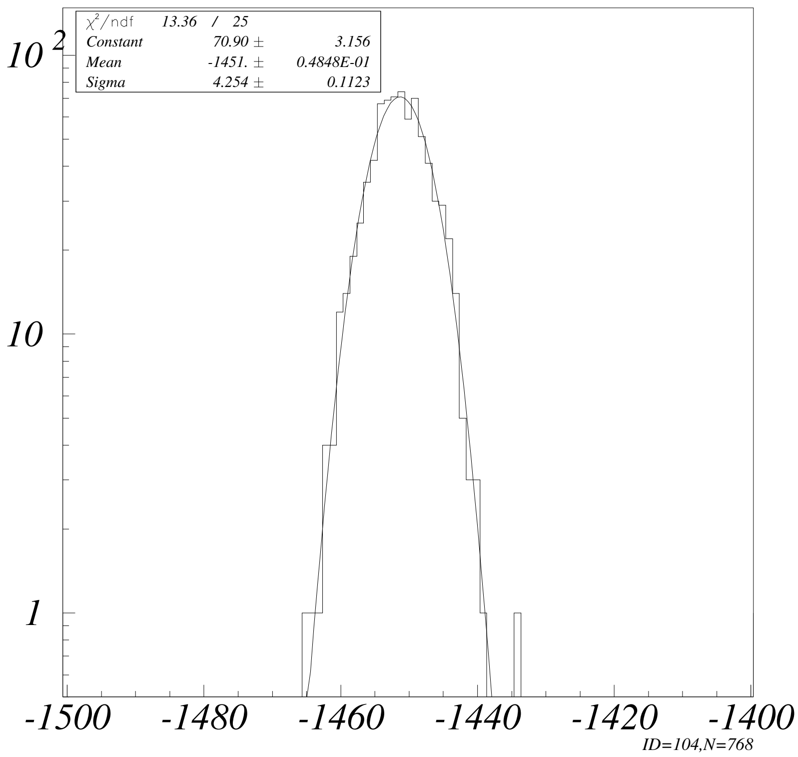

図 4.22: 20μsec ノイズ除去後の空転送のスペクトル。

となった。図 4.22は、ノイズ除去前よりずいぶんノイズが減っていることを示している。この実験のセットアップでは実際の CCD エネルギー分解能を測定することが出来ないが、読み出しノイズから予想されるエネルギー分解能は

$$\begin{aligned} \triangle E &= 2.35 \times 3.65 \times \sqrt{\frac{0.12 \times 5900}{3.65} + 11.4^2} \\ &= 155 \quad [\mathrm{eV}] \end{aligned} \tag{4.29}$$

となる。

4.6 今後の課題

我々は新しく低雑音高速の CCD 読み出しシステムを設計、製作し、 100kHz での読み出しに成功、 X 線イベントを検出することが出来た。しかし、実用までには次のような多くの問題を解決する必要がある。

- フィルタアンプ部の回路には、設計上二度手間になっている箇所や、今回の実験で時定数が不都合であることが分かった箇所も多い。例えば反転増幅をするフィルタアンプ B 部と反転させるフィルタアンプ C 部は、フィルタアンプ部がノイズ源となった時、さらに性能の良い反転型 IC を使用する目的でわざわざ反転をしている。今回の実験で、フィルタアンプ部からの出力は図 4.12のように、十分にクリーンであることが分かった。従って、この部分は一つの OP アンプの非反転増幅に省略できる (図 4.6参照)。このようなことを考慮に入れて、我々は現在、フィルタアンプ部の構造を再設計中である。

- フィルタアンプ部、およびクロック作成部からのノイズは前置フォロワ部からのノイズに比べて少ないとはいえ、 XIS AE(3 electron) に比べるとまだまだ大きな値である。これを解決するためには、例えばフィルタアンプ部の初段増幅率をあげることが考えられる。

- 現在、 VME ラックと ADC からは図 4.23のような 1 μsec 周期のノイズが載っている [4]。このノイズは切り離すことが非常に困難である。また、 ADC そのものもノイズ源となり得るため、将来的には ADC 部分も含めた読み出し回路の設計が必要になるだろう。

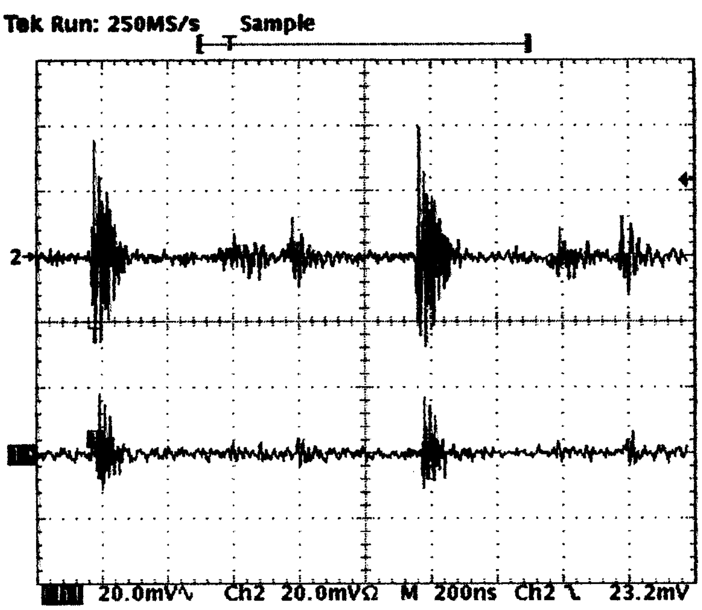

図 4.23: VME ラックと ADC からの 1μsec ノイズ

- XIS AE と HPK CCD の接続実験から、 CCD と CCD の載る基板をシールドすることはノイズ低減に大きな役割を果たすと思われる。現在 CCD と基板はむき出しの状態で用いているため、 HPK CCD 用カメラの製作が不可欠である。同じ意味でクロック作成回路、フィルタアンプ回路もむき出しであるため、これらの静電保護も考える必要がある。

- 今回は最初の試験であったため、 CCD CREST ではなく 1/2 inch CCD を用いた。今後ノイズが減り、 XIS AE と同程度の試験が出来る段階に来れば、当初の目的であった CCD CREST を用いた高速読み出し試験ができるだろう。

- この読み出しシステム開発は将来の衛星搭載を視野に入れている。現在は様々な CCD を駆動させ、 ADC 側も固定していないことから回路にはゲインやオフセットの可変部分が多く盛り込まれている。しかし、将来衛星に搭載する際にはこのような可変部分は必要ない。従って、可変部分を取り除いた、よりシンプルな回路に改良していく必要がある。

第 5 章

まとめと今後の課題

本論文では、国産 X 線 CCD の CCD-CREST を、衛星搭載用 X 線 CCD である XIS の読み出し回路 (XIS AE) を用いて評価し、 XIS との比較を行なった。 HPK CCD と XIS との正当な比較は初めてのことであり、 HPK CCD の高い能力と残された問題点を明確にした重要なものである。その結果を以下にまとめる。

- HPK CCD を XIS AE で駆動させることに成功し、最適電圧においてエネルギー分解能 = 135 eV@5.9 keV、読み出しノイズ = 6.4 electron を達成した。これは京都大学としては最高記録である。
- HPK CCD は暗電流、電荷転送非効率、 spurious charge ともに世界最高性能 X 線 CCD の一つである XIS と同程度の能力を持つことが分かった。
- HPK CCD のゲインは XIS の 1/6 しかないことが分かった。これは主に、 HPK CCD の読み出し口の実効的なキャパシタンスが XIS のそれに比べて 6 倍大きいことが原因であると予想される。その結果、読み出しノイズも electron 換算の際に実効的に大きくなってしまっていることが分かった。

さらに次のステップとして、我々は偏光測定を目指し、高速読み出しが可能な読み出しシステムの開発に着手した。この結果を以下にまとめる。

- 400kHz までのクロック駆動と、クロックを利用した CCD 出力シミュレーターを用いて 100kHz での読み出しに成功した。クロックは spurious charge を避けるため、時定数 0.1μsec から 1.0μsec までの範囲でなますことも可能にした。
- CCD を用いた試験も行ない、 100kHz での読み出しで ^{55}Fe からの X 線を検出することに成功した。ただし、エネルギー分解能は 292eV@5.9 keV、読み出しノイズは 24electron であった。

今後の課題としては、以下のようなことが挙げられる。

- XIS AE を用いた CCD 評価システムに残るノイズ源を突き止め、さらに低ノイズの評価システムを確立する。
- 今回用いた CCD よりさらに空乏層の厚くなった CCD も開発されているため、それに対しても XIS AE を用いた試験を行なう。
- CCD のゲインが低いことは、エネルギー分解能に必ず悪影響を及ぼすため、今後も問題になると考えられる。今後は浜松ホトニクス社とも議論をし、 CCD のゲイン向上に勤める。

- 現在の高速読み出しシステムはまだまだノイズが多く、実用レベルには至っておらず、低雑音化の必要がある。

付録 A

クロックパターンの構造と制御

XIS のクロックはマイクロコードと呼ばれる形式で書かれる [12]。マイクロコードは大きく分けて Sram と Pram に分けられる。 Sram はクロックの最小単位であり、量子化された時間単位でのクロックパターンを 1/40960 **sec** $\sim$ 24μ**sec** 分記述出来るようになっている。記述できる最小時間は $24\mu\mathbf{sec}/48 = 0.5\mu\mathbf{sec}$ である。 Sram を複数組み合わせて Pram を作成し、複雑なクロックパターンにも対応できるようになっている。

まず Sram から簡単に説明する。クロックは大きく分けて CCD 側（Driver）に与えるものと積分回路側（Video）に与えるものがある。 Driver 側に与えるクロックとして、 P1V、P2V は縦転送クロック、 P1H、 P2H は横転送クロックを、 TG、 SG はそれぞれの最終段のクロックを表す。また、 ~VINT- と ~VINT+ は AE 内での積分の極性を決定するためのクロックで、 Video 側に与える TTL 信号である（3.2参照）。 ~VTRACK は AE 内のオペアンプに電源電圧を加えるかどうかを決定する。電源電圧はノイズ源となり得るので実際にオペアンプを動作させる時以外は省エネモードにするためのクロックである。 VRST は積分コンデンサのリセットに用いられる。

今回用いた Sram は、 hpk_p1v1_v0.0(A.1)、 hpk_p2v1_v0.0(A.2)、 hpk_seri_v0.2(A.3) の三種類である。図の中で. で書かれているのは low level を、 - で書かれているのは high level を表す。ただし、 S?-OR （横転送用クロック）だけは符号が逆になっている。

まずこれら Sram のうち前者二つであるが、これは縦転送を実行する Sram で、 hpk_p1v1_v0.0 と hpk_p2v1_v0.0 で P1V と P2V および TG のクロックが逆位相になっている。一つの Sram に両方の位相を書き込まなかったのは、縦転送電圧は CCD の一列全体にかかるため容量が大きくクロックがなまってしまう（図 3.8参照）ため、 24μsec で設定した電圧まで到達しないためである。また、縦転送時は出力を読み込まないため、 video 関係のクロックは動作させていない。

hpk_seri_v0.2 は横転送を一段行なう Sram である。 P1H と P2H は逆位相に、 SG は P2H と同位相にすることで電荷を 1pixel 分横に転送する。この時 Video も動かし、データとして出力する。

この 3 つの Sram を組み合わせて作成した Pram が crest_normal_v2.1.pram(A.4) である。今回使用した HPK CCD CREST は、 XIS と同様に FT 方式で使用することも出来るが、今回は FFT 方式で使用した。そのためにはまず Frame Stored 領域を空読みしなければならない。そのために hpk_p1vl_v0.0 を 5 回、 hpk_p2vl_v0.0 を 5 回という縦転送を 1040 回繰り返す。 Frame Stored 領域が 1024 段しかないのに 16 段余分に読み出すのは VOC 領域を実在のピクセルとして読み出すためである。次の Flush out の目的はシリアルレジスタにたまった dark などを空読みすることで捨てることである。次に縦転送 1 回、横転送 1048 回動かすことで一列分を読み出す。実際には一列 1024 ピクセルであるが、先ほどの VOC 領域と同様そのうち 24 列を HOC 領域として読むことになる。また、 XIS AE は 256列×1024段しか読めないため、 CCD の読み出し口から遠い 1/4 を読むことになる。最後に横転送を空

読みしながら次のクロックが始まるのを待つ。
図 A.4通りにクロックを駆動させるのにかかる時間 $T_{\text{転送}}$ は

$$\begin{aligned} T_{\text{転送}} &= \frac{1}{40960} \times \{1040 \times (5+5) + 3 \times 1032 \\ &\quad +(1+1022+1) \times (5+5+4+772+1+255+15+1)\} \\ &= 26.5 \ \mathbf{sec} \end{aligned} \tag{A.1}$$

である。クロックは 32sec 毎に始まるよう設定したため、露光時間 $T_{\text{露光}}$ は

$$T_{\text{露光}} = 32.0 - T_{\text{転送}} = 5.5\mathbf{sec} \tag{A.2}$$

となっている。

```
FileName:                 hpk_p1vl_v0.0

Desc:                     Clocks down the Image Array  in one pixel period.
                          S1-OR = P1H (-:Low .:High)
                          S2-OR = P2H (-:Low .:High)
                          S3-OR = SG
                          S1-IA = OG
                          S1-FS = P1V
                          S2-FS = P2V
                          S3-FS = TG

time:                     000000000011111111112222222222333333333344444444
                          012345678901234567890123456789012345678901234567

b0   P1H       Driver     ................................................
b1   P2H       Driver     ------------------------------------------------
b2   SG        Driver     ------------------------------------------------
b3   ~VINT-    Video      ------------------------------------------------
b4   ~VINT+    Video      ------------------------------------------------
b5   ~VTRACK   Video      ................................................
b6   VRST      Video      ................................................
b7   (unused)             ................................................
b8   OG       Driver      ------------------------------------------------
b9   S2-IA    Driver      ................................................
b10  S3-IA    Driver      ................................................
b11  P1V      Driver      ................................................
b12  P2V      Driver      ------------------------------------------------
b13  TG       Driver      ------------------------------------------------
b14  SRG      Driver      ------------------------------------------------
b15  (unused)             ................................................
```

図 A.1: 縦転送用 sram (hpk_p1vl_v0.0)

```
FileName:                 hpk_p2vl_v0.0

Desc:                     Clocks down the Image Array  in one pixel period.
                          S1-OR = P1H (-:Low .:High)
                          S2-OR = P2H (-:Low .:High)
                          S3-OR = SG
                          S1-IA = OG
                          S1-FS = P1V
                          S2-FS = P2V
                          S3-FS = TG

time:                     000000000011111111112222222222333333333344444444
                          012345678901234567890123456789012345678901234567

b0   P1H       Driver     ................................................
b1   P2H       Driver     ------------------------------------------------
b2   SG        Driver     ------------------------------------------------
b3   ~VINT-    Video      ------------------------------------------------
b4   ~VINT+    Video      ------------------------------------------------
b5   ~VTRACK   Video      ................................................
b6   VRST      Video      ................................................
b7   (unused)             ................................................
b8   OG       Driver      ------------------------------------------------
b9   S2-IA    Driver      ................................................
b10  S3-IA    Driver      ................................................
b11  P1V      Driver      ------------------------------------------------
b12  P2V      Driver      ................................................
b13  TG       Driver      ................................................
b14  SRG      Driver      ------------------------------------------------
b15  (unused)             ................................................
```

図 A.2: 縦転送用 sram (hpk_p2vl_v0.0)

```
FileName:                 hpk_seri_v0.2

Desc:                     Read one pixel in one pixel period.
                          S1-OR = P1H (-:Low .:High)
                          S2-OR = P2H (-:Low .:High)
                          S3-OR = SG
                          S1-IA = OG
                          S1-FS = P1V
                          S2-FS = P2V
                          S3-FS = TG

time:                     000000000011111111112222222222333333333344444444
                          012345678901234567890123456789012345678901234567

b0   P1H       Driver     ........------------------------................
b1   P2H       Driver     --------........................----------------
b2   SG        Driver     --------........................----------------
b3   ~VINT-    Video      --------------------............----------------
b4   ~VINT+    Video      --------------------------------............----
b5   ~VTRACK   Video      ...............-------------....................
b6   VRST      Video      ...............----.............................
b7   (unused)             ................................................
b8   OG       Driver      ------------------------------------------------
b9   S2-IA    Driver      ................................................
b10  S3-IA    Driver      ................................................
b11  P1V      Driver      ------------------------------------------------
b12  P2V      Driver      ................................................
b13  TG       Driver      ................................................
b14  SRG      Driver      --------....------------------------------------
b15  (unused)             ................................................
```

図 A.3: 横転送用 sram (hpk_seri_v0.2)

```
File:          crest_normal_v2.1.pram

Start:     # Clock out for VOC (16 line)
   DO  1040
           SEQE 5    hpk_p1vl_v0.0      IA   # P1V Low , P2V High
           SEQE 5    hpk_p2vl_v0.0      IA   # P1V High, P2V Low
   ENDDO

   # Flush OR 3 times
           DO    3
            SEQE  1032 hpk_seri_v0.2     IA
           ENDDO

           # Clock out 1st Row
           SEQE 5    hpk_p1vl_v0.0      IA   # P1V Low , P2V High
           SEQE 5    hpk_p2vl_v0.0      IA   # P1V High, P2V Low
           SEQE 4    hpk_seri_v0.2      IA   # Clock out 4 InactivePixels
           SEQE 772  hpk_seri_v0.2      IA   # Clock out 772 Pixels (Inactive)
           SEQE 1    hpk_seri_v0.2      FS   # Clock out FrameStart
           SEQE 255  hpk_seri_v0.2      AP   # Clock out ActivePixels
           SEQE 15   hpk_seri_v0.2      HO   # Clock out Horiz. O'clks
           SEQE 1    hpk_seri_v0.2      LE   # Clock out Line End

           # Clock out next 1022 rows
           DO   1022
           SEQE 5    hpk_p1vl_v0.0      IA   # P1V Low , P2V High
           SEQE 5    hpk_p2vl_v0.0      IA   # P1V High, P2V Low
           SEQE 4    hpk_seri_v0.2      IA   # Clock out 4 InactivePixels
           SEQE 772  hpk_seri_v0.2      IA   # Clock out 772 Pixels (Inactive)
           SEQE 1    hpk_seri_v0.2      LS   # Clock out FrameStart
           SEQE 255  hpk_seri_v0.2      AP   # Clock out ActivePixels
           SEQE 15   hpk_seri_v0.2      HO   # Clock out Horiz. O'clks
           SEQE 1    hpk_seri_v0.2      LE   # Clock out Line End
           ENDDO

           # Clock out last row
           SEQE 5    hpk_p1vl_v0.0      IA   # P1V Low , P2V High
           SEQE 5    hpk_p2vl_v0.0      IA   # P1V High, P2V Low
           SEQE 4    hpk_seri_v0.2      IA   # Clock out 4 InactivePixels
           SEQE 772  hpk_seri_v0.2      IA   # Clock out 772 Pixels (Inactive)
           SEQE 1    hpk_seri_v0.2      LS   # Clock out FrameStart
           SEQE 255  hpk_seri_v0.2      AP   # Clock out ActivePixels
           SEQE 15   hpk_seri_v0.2      HO   # Clock out Horiz. O'clks
           SEQE 1    hpk_seri_v0.2      FE   # Clock out Frame End


           # Idle waiting for next start_sequence command (Integrate IA)
Idle:      SEQE  1   hpk_seri_v0.2      IA   # Flush OR while waiting
           JMP   Idle
```

図 A.4: CREST 用 pram (crest_normal_v2.1.pram)

謝辞

本論文を作成するにあたり、多くの方々の御指導、御協力を賜わりました。ここに感謝の意を表します。

最初に、今回の実験は大阪大学、浜松ホトニクス社、京都大学を中心とした戦略的基礎研究の元で可能になったものです。まず、研究の中心となっている小山勝二教授（京都大学）、常深博教授（大阪大学）、山本晃永事業部長（浜松ホトニクス社）に深く御礼申し上げます。また同じく浜松ホトニクス社の宮口和久氏には、CCD の基礎からトラブルまで丁寧に対処して下さり、大変感謝しております。さらに、鶴剛助手には実験の最初から終わりまで根気強く指導して下さいました。

第 4 章はクリアパルス社の協力なしには出来なかった仕事です。回路音痴の私の話に根気強くつきあって下さった森国城社長、久保信氏にも、ここに深く御礼申し上げます。

第 3 章の実験では、大阪大学の皆さんにも大変お世話になりました。北本俊二助教授にはトラブルシューティングの基礎を教えて頂きました。また、朝早くから夜遅くまでの強行実験に我慢強くつきあって下さいました。林田清助教授にもやはり実験でお世話になりました。宮田恵美助手には折々につけ強力な突っ込みを頂き、また、修論の相談にものって頂きました。平賀純子さんには直前に資料を送って頂きました。また、実験で遅くなった時の手配までして頂きました。片山晴善さんにはケーブル作りやチェックなど、多くの細かい作業をして頂きました。

また、愛媛大学の粟木助教授にも大変お世話になりました。愛媛での卒業研究が忙しいさなか、京都でのトラブルに対処して頂き、大変感謝しています。

研究室の方々にもお世話になりました。谷森進教授、田沢雄二助手、岩室史英助手、窪秀利助手には発表練習などで貴重なご意見を頂きました。片岡 淳さんには回路の勉強だけでなく、修論全体の流れまで指導して頂き、本当に感謝しています。これからも（私にとっては数少ない）突っ込まれキャラでいて下さい。西内満美子さんには、SNR と突っ込みについて、多くのことを教わりました。いつか一度、突っ込ませて下さい。濱口健二さんには、D 論の忙しい時期にも拘らず実験トラブルの対処を何度もして頂きました。村上弘志さんはいつもニコニコしながら実験を手伝って下さいました。少しでもうまくいかないと半泣きになってしまう私には、大変心強かったです。横川 淳さんには、データ解析の方法、論文の書き方について超初心者の私に懇切丁寧に教えて頂きました。今西健介さんには、解析の相談や修論の添削だけでなく日頃の愚痴もたくさん聞いて頂きました。ただし、私のうさこちゃんはご返却願います。櫛田淳子さんには CANGAROO について、楽しいお話をいっぱい聞かせてもらいました。また、お昼ご飯の度にへしゃげてる私を励まして下さいました。辻本匡弘さんは、突っ込みつつ私のお菓子を取り上げつつも実験のサポートをして下さいました。河野 誠君とは同じ CCD の実験をしていたこともあり、たくさんの議論につきあって頂きました。原島 隆君の 10σ を有意に越える天然ぶりに、いつも和ませてもらいました。植野 優君にはマシン音痴の私が落とす hosyo を何度も生き返らせてもらいました。折戸玲子さんには夜中の実験中よく遊び相手をしてもらいました。千田篤史君とは SNR 談義をし、shell と滋賀県の美しさに共感してもらいました。中小路有香さん、古守亜矢子さんにはコーヒーブレイクの折々に色々なことを喋って頂きました。

最後になりましたが、EDHP の皆さんには精神面から非常に心強いサポートを頂きました。ここに感謝の意を表させて頂きます。
本当に皆さん、ありがとうございました。

馬場 彩

参考文献

[1] 冨田 洋、修士論文 (京都大学 1996)

[2] 今吉 拓哉、修士論文 (大阪大学 1997)

[3] 西内 満美子、 修士論文 (京都大学 1998)

[4] 濱口 健二、 修士論文 (京都大学 1998)

[5] 村上 弘志、 修士論文 (京都大学 1999)

[6] 今西 健介、 修士論文 (京都大学 2000)

[7] 辻本 匡弘、修士論文 (京都大学 2000)

[8] 河野 誠、修士論文 (京都大学 2001)

[9] 山崎正裕、日本天文学会 2000 年秋期年会 口頭発表

[10] CQ 出版社、 74 シリーズ IC 規格表 (1993)

[11] CQ 出版社、 FET 規格表 (2000)

[12] 宇宙科学研究所、「科学衛星 ASTRO-E 実験計画書」 (2000)

[13] 大石進一、「フーリエ解析」岩波書店 (1989)

[14] 河田 燕、「放射線計測技術」東京大学出版社

[15] 松波 弘之、「半導体工学」昭晃堂 (1983)

[16] 三洋半導体ニューズ No. N2841A

[17] 戦略的基礎研究「画素の小さい X 線検出用 CCD の開発研究」、「第 1 回 X 線 CCD 研究会」 (1996)

[18] 戦略的基礎研究「画素の小さい X 線検出用 CCD の開発研究」、「第 2 回 X 線 CCD 研究会」 (1998)

[19] Janesick, J.R., Hynececk, J., and Blouke, M.M., "Solid State Imagers for Astronomiy" (1981)

[20] Stahle, C.K., MacCammon, D., and Irwin, K.D., *physics today*, **52, No.8**, 33(1999)

[21] Sze, S.M.、「半導体デバイス – 基礎理論とプロセス技術 –」 産業図書 (1987)

[22] Thurmond, C.D., *J. Electrochem. Soc.*, **122**, 1133 (1975)

[23] AD830 data sheet, http://www.analog.com/pdf/ad830.pdf

[24] HCPL-2630 data sheet, http://www.agilent.co.jp/spg/products/optocoupler/HCPL2630.pdf

[25] MAX435 data sheet, http://pdfserv.maxim-ic.com/arpdf/1564.pdf

[26] LM6144 data sheet, http://www.national.com/pf/LM/LM6144.html

[27] LM7171 data sheet, http://www.national.com/pf/LM/LM7171.html

[28] SST309 data sheet, http://www.vishay.com/docs/70237pdf